

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-207457

(43)Date of publication of application : 26.07.2002

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2001-001848 (71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 09.01.2001 (72)Inventor : KURUMISAWA TAKASHI

(54) LEVEL CONVERTING CIRCUIT, LIQUID CRYSTAL DISPLAY DEVICE AND PROJECTION-TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a level converting circuit, a liquid crystal display device and a projection-type display device in which a response speed is increased and the power consumption is reduced.

SOLUTION: The level converting circuit converts voltage amplitudes of first and second input signals to a second voltage from a first voltage employing high breakdown voltage elements. The circuit has first and second switching elements which receive the first and the second input signals from drain terminals and are turned on and turned off. The circuit also has a third switching element which is connected between the first switching element and a power supply and forms an output terminal between the first switching element. Moreover, the circuit has a fourth switching element which is connected between the second switching element

and the power supply and the gate electrode of the element is connected to the gate electrode of the third switching element. Furthermore, a self bias applying means is provided to on/off drive either one of or both of the second and the fourth switching elements by applying a bias voltage by itself.

LEGAL STATUS [Date of request for examination] 04.12.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The level-conversion circuit characterized by establishing the auto-bias impression means using the component of high pressure-proofing which transforms the voltage swing of the input signal inputted from an input terminal from the 1st electrical potential difference to the 2nd electrical potential difference which is a

level-conversion circuit, impresses bias voltage in person and carries out the on-off drive of said switching element to at least one switching element inside a circuit.

[Claim 2] Are a level-conversion circuit using the component of high pressure-proofing which transforms the voltage swing of the input signal inputted from an input terminal from the 1st electrical potential difference to the 2nd electrical potential difference, and said input signal is inputted from a drain terminal. The 1st switching element turned on and off and the 2nd switching element connected between said 1st switching element and power sources, The level-conversion circuit characterized by including the auto-bias impression means which impresses bias voltage in person and carries out the on-off drive of said the 1st and 2nd either or both sides of a switching element to said the 1st and 2nd either or both sides of a switching element.

[Claim 3] Are a level-conversion circuit using the component of high pressure-proofing which transforms the voltage swing of the 1st and 2nd input signal from the 1st electrical potential difference to the 2nd electrical potential difference, and said 1st input signal is inputted from a drain terminal. While inputting said 2nd input signal as the 1st switching element turned on and off from a drain terminal, turning on and off and connecting a gate electrode with the gate electrode of said 1st switching element The 2nd switching element by which the source electrode was connected to said gate electrode, The 3rd switching element of a conductivity type which is connected between said 1st switching element and power sources, is made to form the output terminal which outputs said 2nd electrical potential difference between said 1st switching element, and is different from said 1st switching element, The 4th switching element of a conductivity type which a gate electrode is connected with the gate electrode of said 3rd switching element, and is different from said 2nd switching element while connecting between said 2nd switching element and power sources, The level-conversion circuit characterized by including the auto-bias impression means which impresses bias voltage in person and carries out the on-off drive of said the 2nd and 4th either or both sides of a switching element to said the 2nd and 4th either or both sides of a switching element.

[Claim 4] The level-conversion circuit which is a level-conversion circuit using the component of high pressure-proofing which transforms the voltage swing of the input signal inputted from an input terminal from the 1st electrical potential difference to the 2nd electrical potential difference, and is characterized by to impress bias voltage in person and to include the 1st bias impression means which carries out an on-off drive, and the 2nd bias impression means which impresses bias voltage from the exterior to said switching element to at least one switching element inside a circuit.

[Claim 5] Are a level-conversion circuit using the component of high pressure-proofing which transforms the voltage swing of the 1st and 2nd input signal from the 1st electrical potential difference to the 2nd electrical potential difference,

and said 1st input signal is inputted from a drain terminal. While inputting said 2nd input signal as the 1st switching element turned on and off from a drain terminal, turning on and off and connecting a gate electrode with the gate electrode of said 1st switching element. The 2nd switching element by which the source electrode was connected to said gate electrode, The 3rd switching element of a conductivity type which is connected between said 1st switching element and power sources, is made to form the output terminal which outputs said 2nd electrical potential difference between said 1st switching element, and is different from said 1st switching element, The 4th switching element of a conductivity type which a gate electrode is connected with the gate electrode of said 3rd switching element, and is different from said 2nd switching element while connecting between said 2nd switching element and power sources, The 1st bias impression means which impresses bias voltage in person and carries out the on-off drive of said 2nd switching element to said 2nd switching element, The level-conversion circuit characterized by including the 2nd bias impression means which impresses bias voltage to said 4th switching element.

[Claim 6] Are a level-conversion circuit using the component of high pressure-proofing which transforms the voltage swing of the 1st and 2nd input signal from the 1st electrical potential difference to the 2nd electrical potential difference, and said 1st input signal is inputted from a drain terminal. While inputting said 2nd input signal as the 1st switching element turned on and off from a drain terminal, turning on and off and connecting a gate electrode with the gate electrode of said 1st switching element. The 2nd switching element by which the source electrode was connected to said gate electrode, The 3rd switching element of a conductivity type which is connected between said 1st switching element and power sources, is made to form the output terminal which outputs said 2nd electrical potential difference between said 1st switching element, and is different from said 1st switching element, The 4th switching element of a conductivity type which a gate electrode is connected with the gate electrode of said 3rd switching element, and is different from said 2nd switching element while connecting between said 2nd switching element and power sources, The 1st bias impression means which impresses bias voltage in person and carries out the on-off drive of said 4th switching element to said 4th switching element, The level-conversion circuit characterized by including the 2nd bias impression means which impresses bias voltage to said 2nd switching element.

[Claim 7] The level-conversion circuit characterized by forming a buffer means in the output stage of a level-conversion circuit in either claim 1 - claim 6.

[Claim 8] A liquid crystal display panel and the scan drive circuit which drives the scan electrode of said liquid crystal display panel, The signal drive circuit which drives the signal electrode of said liquid crystal display panel is included. Said liquid crystal display panel, said scan drive circuit, and said signal drive circuit are really formed in the same process. In either or the both sides of said scan drive circuit and said signal

drive circuit The liquid crystal display characterized by forming two or more level-conversion circuits according to claim 1 to 7.

[Claim 9] The projection mold display containing a liquid crystal display according to claim 8.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a projection mold display at a level-conversion circuit and a liquid crystal display list.

[0002]

[Description of the Prior Art] Conventionally, when driving the display circuit using liquid crystal in an integrated circuit, for example, in order to make a high electrical potential difference using a booster circuit and to obtain the circuit of the low consumed electric current, the circuit which is operating on an electrical potential difference which is different in the interior of an integrated circuit using the voltage stabilizer of a low electrical potential difference is sometimes intermingled plentifully.

[0003] And although it is common that the signal is going back and forth mutually as for those circuits, in operating the circuit of a high electrical-potential-difference system by the signal of the circuit of a low electrical-potential-difference system, the level-conversion circuit which combines them is needed.

[0004] For example, the circuit of a flip-flop mold as shown in drawing 24 as most general thing as a level-conversion circuit formed in a semiconductor device is mentioned.

[0005] In this level-conversion circuit 1000, as shown in drawing 24, the output of the inverter which consisted of the Pch transistor 1003, a Nch transistor 1005, a Pch transistor 1004, and a Nch transistor 1006 has composition connected to the Pch transistor 1001 and the Pch transistor 1002 at tucking up its sleeves with a cord.

[0006] In this flip-flop type of circuit, if Input IN comes, an output/OUT will be reduced, and if an input/IN comes, it will operate to the timing which reduces an output OUT.

[0007] Furthermore, the level-conversion circuit using current Miller circuit as other examples is mentioned. As such a level-conversion circuit, United States patent official report USP5113097 grade is mentioned, for example. This example is shown in drawing 25. As shown in this drawing, as shown at drawing 25, it is considering as the configuration which formed current Miller circuit with the Pch transistor 1126, the Pch transistor 1128, the Nch transistor 1122, and the Pch transistor 1128, and formed the inverter 1106 which is from the Pch transistor 1108 and the Nch transistor 1110 on the output terminal VOUT side of the latter part of this current Miller circuit in the level-conversion circuit 1100 (it is called "DS circuit" the David SHANOFU research center and the following) given in the above-mentioned reference.

[0008] He performs a level conversion in each gate input of the Pch transistors 1126 and 1128 of the upper part of current Miller circuit, and is trying to output through an inverter 1106 in this DS circuit. The potential of middle level can be pulled up by adding such an inverter 1106. Since it will carry out upwards immediately or will carry out downward by this if a threshold is crossed, a level shift can be performed at a high speed.

[0009] To, really form a liquid crystal display panel and the drive circuit which drives this liquid crystal display panel from a process process by the same member, for example, TFT etc., on the other hand in recent years is tried.

[0010] To such a liquid crystal display panel and really form, it is necessary to form, for example in low temperature or hot polish recon as a member which forms a drive circuit.

[0011] As compared with the drive circuit formed in semiconductor devices, such as silicon of the usual bulk, it is necessary to form with the component of high pressure-proofing in the drive circuit formed in such polish recon.

[0012] For this reason, mobility must be low, an electron must move and a voltage level must be pulled up under a ***** situation.

[0013]

[Problem(s) to be Solved by the Invention] By the way, when forming a level-conversion circuit on IC chip, the circuit was conventionally sufficient, but when manufacturing a direct circuit by low temperature or elevated-temperature polish recon on the glass substrate of a liquid crystal panel, in order that mobility might form a level-conversion circuit with few components of high pressure-proofing, when a level-conversion circuit like before was constituted, the following problems arose.

[0014] First, when the level-conversion circuit of an above-mentioned flip-flop mold was constituted from P-SiTFT, since TFT of high pressure-proofing had to be used, there was a problem that a speed of operation could not be gathered. Especially it started, and delay arose about each timing of falling according to the delay in an inverter stage, and there was a trouble that the whole working speed was slow as a result.

[0015] Furthermore, there was a trouble that the output wave after a level conversion was missing from a strain and stability.

[0016] Thus, when a level-conversion circuit was constituted from TFT, there was a problem that a speed (speed of response) of operation was very slow.

[0017] On the other hand, in DS circuit, it was as follows as a result of this invention person's analysis. That is, as a result of carrying out the simulation of Pch1126 and Pch2, having used 10 micrometers and Nch1122 as 20 micrometers having used 1128 as Nch1120, the wave of each inputs IN/IN and an output OUT became like drawing 26.

[0018] In addition, OUT' is the gate input wave of Pch1108 and Nch1110 which are the input of an inverter 1106. Moreover, it is the case where a level conversion is changed into 15V of an output from 5V of an input, and the input wave is setting build up time and falling time amount to 10ns. At this time, the following results were obtained as an example.

[0019] maximum-operating-frequency: -- 16.2MHz, power consumption:2.7mW, time delay (starting):22.0ns, and time delay (falling): -- from the analysis result of the level-conversion circuits above for 17.0ns, in DS circuit, although a speed of operation was quick, it became clear that power consumption is large.

[0020] Generally, although it was used for the middle class of the light valve of a projection mold indicating equipment, when the level-conversion circuit had large power consumption as mentioned above, it had the problem that only the part of the above-mentioned circuit generated heat.

[0021] The problem of the above-mentioned generation of heat becomes remarkable as the miniaturization of a light valve serves as the technical mainstream in recent years and it miniaturizes especially.

[0022] Moreover, when input voltage fell, it fell, and a response frequency could not maintain but had checked performing level-conversion actuation stably.

[0023] Furthermore, in order to raise a working speed, it was possible to form the bias circuit of dedication, but when bias was always applied, the current has flowed, power was consumed very much and there was a problem of generating heat depending on the case.

[0024] This invention is made in view of the above-mentioned situation, the place made into the purpose can make a speed of response quick, and it is in providing with a projection mold display the level-conversion circuit and liquid crystal display list which can moreover reduce power consumption.

[0025]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, invention according to claim 1 is characterized by establishing the auto-bias impression means using the component of high pressure-proofing which transforms the voltage swing of the input signal inputted from an input terminal from the 1st

electrical potential difference to the 2nd electrical potential difference which is a level-conversion circuit, impresses bias voltage in person and carries out the on-off drive of said switching element to at least one switching element inside a circuit.

[0026] Invention according to claim 2 is a level-conversion circuit using the component of high pressure-proofing which transforms the voltage swing of the input signal inputted from an input terminal from the 1st electrical potential difference to the 2nd electrical potential difference, and inputs said input signal from a drain terminal. The 1st switching element turned on and off and the 2nd switching element connected between said 1st switching element and power sources, It is characterized by including the auto-bias impression means which impresses bias voltage in person and carries out the on-off drive of said the 1st and 2nd either or both sides of a switching element to said the 1st and 2nd either or both sides of a switching element.

[0027] Moreover, invention according to claim 3 is a level-conversion circuit using the component of high pressure-proofing which transforms the voltage swing of the 1st and 2nd input signal from the 1st electrical potential difference to the 2nd electrical potential difference, and inputs said 1st input signal from a drain terminal. While inputting said 2nd input signal as the 1st switching element turned on and off from a drain terminal, turning on and off and connecting a gate electrode with the gate electrode of said 1st switching element The 2nd switching element by which the source electrode was connected to said gate electrode, The 3rd switching element of a conductivity type which is connected between said 1st switching element and power sources, is made to form the output terminal which outputs said 2nd electrical potential difference between said 1st switching element, and is different from said 1st switching element, The 4th switching element of a conductivity type which a gate electrode is connected with the gate electrode of said 3rd switching element, and is different from said 2nd switching element while connecting between said 2nd switching element and power sources, It is characterized by including the auto-bias impression means which impresses bias voltage in person and carries out the on-off drive of said the 2nd and 4th either or both sides of a switching element to said the 2nd and 4th either or both sides of a switching element.

[0028] Moreover, invention according to claim 4 is a level-conversion circuit using the component of high pressure-proofing which transforms the voltage swing of the input signal inputted from an input terminal from the 1st electrical potential difference to the 2nd electrical potential difference. It is characterized by impressing bias voltage in person and including the 1st bias impression means which carries out an on-off drive, and the 2nd bias impression means which impresses bias voltage from the exterior to said switching element to at least one switching element inside a circuit.

[0029] Moreover, invention according to claim 5 is a level-conversion circuit using the component of high pressure-proofing which transforms the voltage swing of the 1st and 2nd input signal from the 1st electrical potential difference to the 2nd electrical

potential difference, and inputs said 1st input signal from a drain terminal. While inputting said 2nd input signal as the 1st switching element turned on and off from a drain terminal, turning on and off and connecting a gate electrode with the gate electrode of said 1st switching element The 2nd switching element by which the source electrode was connected to said gate electrode, The 3rd switching element of a conductivity type which is connected between said 1st switching element and power sources,, is made to form the output terminal which outputs said 2nd electrical potential difference between said 1st switching element, and is different from said 1st switching element, The 4th switching element of a conductivity type which a gate electrode is connected with the gate electrode of said 3rd switching element, and is different from said 2nd switching element while connecting between said 2nd switching element and power sources, The 1st bias impression means which impresses bias voltage in person and carries out the on-off drive of said 2nd switching element to said 2nd switching element, It is characterized by including the 2nd bias impression means which impresses bias voltage to said 4th switching element.

[0030] Moreover, invention according to claim 6 is a level-conversion circuit using the component of high pressure-proofing which transforms the voltage swing of the 1st and 2nd input signal from the 1st electrical potential difference to the 2nd electrical potential difference, and inputs said 1st input signal from a drain terminal. While inputting said 2nd input signal as the 1st switching element turned on and off from a drain terminal, turning on and off and connecting a gate electrode with the gate electrode of said 1st switching element The 2nd switching element by which the source electrode was connected to said gate electrode, The 3rd switching element of a conductivity type which is connected between said 1st switching element and power sources, is made to form the output terminal which outputs said 2nd electrical potential difference between said 1st switching element, and is different from said 1st switching element, The 4th switching element of a conductivity type which a gate electrode is connected with the gate electrode of said 3rd switching element, and is different from said 2nd switching element while connecting between said 2nd switching element and power sources, The 1st bias impression means which impresses bias voltage in person and carries out the on-off drive of said 4th switching element to said 4th switching element, It is characterized by including the 2nd bias impression means which impresses bias voltage to said 2nd switching element.

[0031] Moreover, invention according to claim 7 has formed the buffer means in the output stage of an above-mentioned level-conversion circuit.

[0032] Moreover, the scan drive circuit where invention according to claim 8 drives the scan electrode of a liquid crystal display panel and said liquid crystal display panel, The signal drive circuit which drives the signal electrode of said liquid crystal display panel is included. It is characterized by really forming said liquid crystal display panel, said scan drive circuit, and said signal drive circuit in the same process, and forming

two or more above-mentioned level-conversion circuits in either or the both sides of said scan drive circuit and said signal drive circuit.

[0033] Moreover, invention according to claim 9 defines the projection mold display containing an above-mentioned liquid crystal display.

[0034]

[Embodiment of the Invention] Hereafter, an example of the gestalt of suitable operation of this invention is concretely explained with reference to a drawing.

[0035] [The gestalt of the 1st operation]

(Configuration explanation) The configuration of the level-conversion circuit of this invention is first explained with reference to drawing 1 . Drawing 1 is the circuit diagram showing the level-conversion circuit of this example.

[0036] The level-conversion circuit 1 of this example is made into an auto-bias in order to stop power consumption on the basis of the current Miller circuit of N channel, as shown in drawing 1 , and it is the Nch transistor 12 and the charge-and-discharge circuit of the drain input of 14. And it has the description to have considered as the configuration which takes a current from its place to the Pch transistor 11 of an upper case, impresses an electrical potential difference to a gate electrode by itself, and adds bias.

[0037] The Pch transistor 11 whose level-conversion circuit 1 is specifically the switching element connected to the power source VEE, The Nch transistor 12 which is the switching element connected to this Pch transistor 11 and serial, The input terminal/IN steadily connected to this Nch transistor 12, The Pch transistor 13 which is the switching element connected to the power source VEE, The Nch transistor 14 which is the switching element connected to this Pch transistor 13 and serial, The input terminal IN of another side connected to this Nch transistor 14, and the inverter 3 as a reversal means to be formed in a latter output stage and to reverse the potential between [X2] the Pch transistor 13 and the Nch transistor 14, It is constituted including the output terminal OUT which considers this inverter 3 output as the output of the level-conversion circuit 1.

[0038] Here, the gate electrode and source electrode of the Pch transistor 11 are connected by the path cord 21.

[0039] On the other hand, also in the Nch transistor 12 prepared in the lower berth of the Pch transistor 11, the gate electrode and source electrode of the Nch transistor 12 are connected by the path cord 22. The auto-bias impression means (or 1st bias impression means) of this invention consists of this Pch transistor 11, a path cord 21, a path cord 22, and a Nch transistor 12.

[0040] In addition, the drain electrode of Nch TORANJITA 12 is connected to one input terminal / IN among two input terminals, and the drain electrode of the Nch transistor 14 is connected to the input terminal IN of another side of the two input terminals.

[0041] While the gate electrode is connected to the gate electrode of the Pch transistor 13, the source electrode is connected to a power source VEE, and, as for the Pch transistor 11, the drain electrode is connected to the source electrode of a Nch transistor.

[0042] The source electrode is connected to a power source VEE, the gate electrode is connected to the gate electrode of the Pch transistor 11, and, as for the Pch transistor 13, the drain electrode is connected to the source electrode of the Nch transistor 14, and each gate electrode of the Pch transistor 15 and the Nch transistor 15.

[0043] The source electrode is connected to the drain electrode of the Pch transistor 13, the gate electrode is connected to the gate electrode of the Nch transistor 12, and, as for the Nch transistor 14, the drain electrode is connected to the input terminal IN.

[0044] The inverter 3 is constituted including the Pch transistor 15 connected to the power source VEE, and the Nch transistor 16 connected with this Pch transistor 15 at the serial. In addition, each gate electrode of the Pch transistor 15 and the Nch transistor 16 is considered as the common input of an inverter 3.

[0045] The drain electrode of the Pch transistor 15 and the drain electrode of the Nch transistor 16 are respectively connected to the output terminal OUT.

[0046] (Explanation of operation) Next, it explains, referring to drawing 1 and drawing 2 about actuation of the level-conversion circuit 1 of the above configurations.

[0047] an input terminal/IN -- high potential (henceforth "H" level), and low voltage (henceforth "L" level) -- it is fixed to one of those actuation.

[0048] First, the case where an input terminal/IN serves as H level, and an input terminal IN serves as L level is explained.

[0049] When an input terminal/IN is L, since a current does not flow, it has stopped, but if an input terminal/IN is set to H, the Nch transistor 12 operates, when it goes up from L to H, a current will begin to flow to the drain of the Nch transistor 12, and this current will be supplied to the Pch transistor 11 by flowing between the drain sources of Nch TORANNJISUTA 12. Since a current begins to flow rapidly with the current amplification factor h_{fe} of the Nch transistor 12 and it flows also to the gate electrode of the Nch transistor 12 at this time, the current which flows to X1 is increased at an increasing tempo by it, and the gate electrode of the Nch transistor 12 will be in the condition of H from L by it.

[0050] Since the current which flows between [X1] the drain electrode of the Pch transistor 11 and the source electrode of the Nch transistor 12 increases at this time, each gate electrode of the Pch transistors 11 and 13 serves as H level respectively, the Pch transistors 11 and 13 become off respectively, and the current from a power source VEE is intercepted. On the other hand, the Nch transistor 14 flows, X2 pushes on L level, and falls, and the potential of X2 serves as L level. Thus, when an input

terminal IN is L, it is intercepted without a current's flowing with the Pch transistor 13, and potential is pulled from the drain side of the Nch transistor 14, and X2 is set to L. [0051] Therefore, since the gate electrode of L level and the Nch transistor 16 serves as L level in the gate electrode of the Pch transistor 15 which is the inverter 3 of an output stage, the Pch transistor 15 is turned on and turns off the Nch transistor 16. H level will be outputted to an output terminal OUT by this.

[0052] On the other hand, on L level, an input terminal/IN carries out actuation contrary to the above, when H level appears in an input terminal IN. That is, since an input terminal/IN also changes from H to L when an input terminal IN changes to H from L, a current flows from the drain side of the Nch transistor 14, and the Nch transistor 12 is set to H by X2 side, while it is intercepted and X1 side is set to L. At this time, the gate electrode of the Pch transistor 13 will be set to L, it will be in an OFF state, and a current is supplied through the Pch transistor 13 from a power-source VEE side. And the potential of X2 serves as H level, an inverted arch is carried out by the inverter 3, and L level is outputted to an output terminal OUT.

[0053] Although the potential from a power source VEE is supplied to the source electrode of the Pch transistor 15 at this time, since the potential of X2 is H level, as for the Pch transistor 15, OFF and the Nch transistor 16 serve as ON, and are reduced by GND, and the potential of an output terminal OUT serves as L level.

[0054] Thus, in this example, when either is an ON state, the period of the current which flows the inside of a component since the transistor of another side will be in an OFF state when it flows can be lessened, and as for the Pch transistor 11 and the Nch transistor 12 which were connected to the serial, reduction of power consumption can be aimed at.

[0055] In addition, in order [the Pch transistor 11 or the Nch transistor 12] for ON and another side to be off, the following setup is needed beforehand.

[0056] Here, an input terminal / H level of IN is set up quite more highly than each thresholds V_{thp} and V_{thn} of the Pch transistor 11 and the Nch transistor 12. Since the gate electrode of the Nch transistor 12 must be H in order for **** and the Nch transistor 12 to serve as ON, the potential of X1 needs to be potential higher than the threshold voltage V_{thn} of the Nch transistor 12.

[0057] Since the gate electrode of the Pch transistor 11 must be H on the other hand in order for the Pch transistor 11 to become off, the potential of X1 connected to the gate electrode needs to be potential higher than the threshold voltage V_{thp} of the Pch transistor 11.

[0058] Therefore, the potential of X1 needs to be potential higher than the threshold voltage V_{thp} of the Pch transistor 11, and an input terminal / H level of IN needs to be potentials higher than the threshold voltage V_{thn} of the Nch transistor 12.

[0059] (Wave form chart) In addition, drawing 2 is 10MHz o'clock of the wave form chart which added the inverter 3. Magnitude (gate length) of the Pch transistor 11 of

the level-conversion circuit 1 of the example of this book and the Pch transistor 13 is respectively set to 20 etc. micrometers etc., for example, and sets respectively magnitude of the Nch transistor 12 and the Nch transistor 14 to 40 etc. micrometers etc., for example. In addition, a level conversion is the case where it changes into 15V from 5V, and shows the case where there are not a load, a buffer circuit, a phase doubling circuit, etc. The input wave is setting build up time and falling time amount to 10ns. Time-delay [maximum-operating-frequency:19.5MHz as a result of this invention person's inquiring wholeheartedly under the above-mentioned conditions here, power consumption:0.46mW, time delay build-up-time:12.8ns, and] falling time amount: It became clear that it had been 14.9ns. Since it starts as compared with circuits (for example, DS circuit etc.), and falling time amount can also be conventionally shortened by this result and power consumption is also reduced sharply, the circuit which is a low power can consist of circuits conventionally at high speed.

[0060] (Property comparison) Next, the comparison of various properties with a circuit is explained the level-conversion circuit which has an above-mentioned configuration and an above-mentioned operation, and conventionally.

[0061] Change of the output frequency to input voltage is shown in drawing 3 . Although it has fallen to 13.3MHz and 15.8MHz respectively in the circuit (henceforth "X circuit") at the time of using the bias circuit of the dedication from the outside, for example to input voltage 4.0V amplitude in the input voltage dependency of the maximum frequency, and DS circuit, 20MHz is maintained in this example circuit. Thereby, the stable actuation is securable even if input voltage is a low battery.

[0062] The property of output voltage of as opposed to input voltage in drawing 4 - drawing 6 is indicated. This property means how much it can bear, when there is for example, potential fluctuation.

[0063] With the amplitude dependency of the output voltage to input voltage, although it is maintaining up to the 15V neighborhood stably until a threshold (threshold) is in about about 1.8v and it exceeds the value as shown in drawing 4 since the inverter reaches the latter part in DS circuit, output voltage also declines rapidly, for example, input voltage is cutting 14V with the low battery in 2.5V input, for example.

[0064] Moreover, by the case (X circuit) where the bias circuit of dedication is prepared outside, as shown in drawing 5 , output voltage is also declining gently-sloping with the fall of input voltage, for example, 14V output is cut with 3.5V input.

[0065] On the other hand, in this example, as shown in drawing 6 , it has the influence of a latter inverter, but even if input voltage falls to about 1.5V-0.5V, in 15V, output voltage became fixed and is stable. Thereby, when changing into high potential from 3V, this circuit can be used also for a level conversion from low voltage, and it can apply also to the circuit corresponding to low voltage, and can apply also to what a low

power is urged to.

[0066] Next, the comparison of power consumption is shown in drawing 7. In addition, an input 1 shows one input terminal / current of IN, and an input 2 shows the current of the input terminal IN of another side. As shown in this drawing, it turns out that single or more figures power consumption is a low power as compared with X circuit or DS circuit. In addition, in a flip-flop mold, as the conventional technique explained, a working speed is slow, and since it is inapplicable to the component of high pressure-proofing, it becomes the outside of a comparative object. Furthermore, in a flip-flop mold, operational stability is obtained only in the 4.5V to 5.0V range.

[0067] Here, in the case (X circuit) where the bias circuit is prepared outside, although bias will flow from a bias circuit, while the current for bias always flows, the component driven based on this current will always be driven, and power consumption becomes high.

[0068] On the other hand, in the level shift circuit 1 of this example, only when a condition changes by having made it the auto-bias, a current flows to a Pch transistor and a current does not flow regularly. ****, the Pch transistor, or the Nch transistor is surely an OFF state. And when gate potential is turned off from the same location and a threshold (threshold) is crossed, it is the configuration of starting rapidly.

[0069] Therefore, since a transistor is turned off [an ON state and], since there are also few paths for which it stops and a current always flows, the drive of a part for the period to which a current does not flow, and a component can aim at reduction of power consumption.

[0070] Furthermore, in addition, magnitude of a Pch transistor is set up by this example small (for example, a Pch transistor is 20 micrometers, and a Nch transistor is 40 etc. micrometers etc.).

[0071] Here, responsibility is decided by magnitude (or drive capacity) of a Pch transistor and a Nch transistor, and when the magnitude of a Nch transistor is larger than the magnitude of Pch TORANNJISUTA, it becomes dominance, and the above-mentioned wave-like falling serves as the above-mentioned wave-like standup dominance conversely, when the magnitude of a Pch transistor is larger than the magnitude of Nch TORANNJISUTA.

[0072] By this example, the magnitude of a Nch transistor is formed more greatly than the magnitude of a Pch transistor, it gets down, and, as for the Pch transistor, the Nch transistor is formed in 20 micrometers to 40 micrometers. It can form in falling serious consideration by this.

[0073] As mentioned above, a speed of operation is quick and a circuit with little power consumption can consist of level-conversion circuits of 5V →15V conversion.

[0074] As mentioned above, according to the gestalt of this operation, although some opening is made on both the sides of a transistor in many cases and mobility more becomes low, when it constitutes a level shift circuit from a component with such low

mobility, moreover, a low power can usually constitute the circuit where a speed of response is quick from the transistor of high pressure-proofing called LDD structure by carrying out a direct input from a drain, and considering as an auto-bias.

[0075] [The gestalt of the 2nd operation], next the gestalt of the 2nd operation concerning this invention are explained based on drawing 8. In addition, about the same configuration, explanation is omitted to below substantially [the gestalt of said 1st operation], and only a different part is stated to it. Drawing 8 is the circuit diagram showing the level-conversion circuit of this example.

[0076] With the gestalt of the 1st operation of a ***, although considered as the configuration by the auto-bias of the Pch transistor of a level-conversion circuit, in the level-conversion circuit of this example, the bias circuit of dedication is established in the preceding paragraph.

[0077] By this example, the bias from an external bias circuit (current regulator circuit) is added to the gate electrode of a Pch transistor, and improvement in the speed is further attained by using together the bias circuit of an auto-bias and the exterior.

[0078] In the level-conversion circuit 100 of this example, like the gestalt of implementation of the above 1st The Pch transistor 111 formed in one input terminal side / IN, the Nch transistor 112, the Pch transistor 113 formed in the other-end child IN side, the Nch transistor 114, the Pch transistor 115 which constitutes the inverter 103 of an output stage, In addition to the Nch transistor 116, it is constituted including the Pch transistor 117 and the Nch transistor 118 which are the 2nd bias impression means of the dedication prepared in the preceding paragraph.

[0079] In addition, as for the magnitude of the Pch transistor 117, the Nch transistor 118, the Pch transistor 111, the Nch transistor 112, the Pch transistor 113, the Nch transistor 114, the Pch transistor 115, and Nch transistor 116**, it is desirable to form in 5, 5, 20, 40, 20, 40, 10, 10 (unit: micrometer), etc. respectively, for example.

[0080] In addition, differing from the gestalt of implementation of the above 1st is in the point that the path cord 121 which connects the gate electrode of the Pch transistor 111 and the drain electrode of the Pch transistor 117 is formed. Furthermore, it connects and the gate electrode and its drain electrode of the Pch transistor 117 form the path cord 123.

[0081] Moreover, it connects with the source electrode of the Pch transistor 118, and the gate electrode of the Nch transistor 118 constitutes the path cord 124.

[0082] In the level-conversion circuit 100 of the above configurations, as shown in drawing 8 and drawing 9, if one input terminal / IN serves as potential of H level, as for the potential between [X12] the source electrode of L level and the Nch transistor 114, and the drain electrode of the Pch transistor 113, the potential of X11 between the source electrode of the Nch transistor 112 and the drain electrodes of the Pch transistor 111 will serve as [the input terminal IN of L level and another side]

H level first.

[0083] Here, since the potential of X12 is H level and the gate electrode of H level and the Nch transistor 116 serves as H level in the gate electrode of the Pch transistor 115, in the Pch transistor 115, OFF and the Nch transistor 116 will be in an ON state, and an output terminal OUT serves as L level.

[0084] On the other hand, if an input terminal/IN is set to H level and an input terminal IN is set to L level, since the current which flows to X11 will increase and the potential of X12 will serve as L level, the Pch transistor 115 turns off ON and the Nch transistor 116, and an output terminal OUT serves as H level.

[0085] Here, in this example, if the gate electrode of the Nch transistor 118 serves as H level and turns on, the drain electrode of the Pch transistor 117 serves as low voltage, and a path cord 123 serves as L level, and turns on the Pch transistor 117. On the other hand, a path cord 121 will also be low voltage and the Pch transistors 111 and 113 will also be in an ON state respectively.

[0086] And although a path cord 123 serves as high potential, a path cord 121 serves as high potential and both the Pch transistors 117 and 111 are turned off if the Pch transistors 117, 111, and 113 will be in switch-on, the Pch transistor 113 serves as as [ON state].

[0087] Thereby, the Pch transistors 117 and 111 are OFF, the Pch transistor 113 is ON, X11 serves as low voltage and X12 serves as high potential.

[0088] Though the same operation effectiveness as the gestalt of implementation of the above 1st is done so as mentioned above according to the gestalt of this operation, in addition to an auto-bias, improvement in the speed of a speed of response can be attained more by adding the bias circuit of dedication. Moreover, as compared with adding bias to the direction of a Nch transistor, a working speed can be made quick and stability also improves.

[0089] moreover, the case where form only a bias circuit and bias is always added although power consumption increases a little compared with the gestalt of implementation of the above 1st -- ratios -- **** -- reduction of the part which forms the auto-bias, and power consumption can be aimed at.

[0090] Furthermore, in this example, the magnitude of a Nch transistor and Pch TORANJITA is respectively formed quite small as 5 or 5 micrometers, and the transistor is formed small.

[0091] By this, since it is the circuit which operates on its bias, it operates, even if a current is small, and power consumption becomes small.

[0092] That is, in this example, since it can operate even if it is not necessary to form large bias also in a constant current source bias circuit and the bias voltage of a Pch transistor is low, since it moves by one [the gap formed in the symmetry or] transistor operating, and losing balance, the magnitude of a transistor can be formed small.

[0093] [The gestalt of the 3rd operation], next the gestalt of the 3rd operation concerning this invention are explained based on drawing 10 . Drawing 10 is circuit diagram **** concerning this invention which shows the level-conversion circuit of the gestalt of the 3rd operation.

[0094] In this example, bias is applied to the direction of a Nch transistor contrary to the gestalt of the 2nd operation of a ****.

[0095] Specifically the level-conversion circuit 200 of this example The Pch transistor 211 and the Nch transistor 212 which were formed in one input terminal/IN side like the gestalt of implementation of the above 1st as shown in drawing 10 , The Pch transistor 213 and the Nch transistor 214 which were formed in the input terminal IN side of another side, The Pch transistor 215 and the Nch transistor 216 which constitute the inverter of an output stage, In addition to constituting, it is constituted including the Pch transistor 217 and the Nch transistor 218 which are the current regulator circuit established in the preceding paragraph which is the 2nd bias impression means of dedication.

[0096] In addition, as for the magnitude of each of these transistors, it is desirable to form in the same magnitude as the gestalt of implementation of the above 2nd.

[0097] Moreover, it is that this example differs from the gestalt of the 1st operation of a **** in the point which forms the path cord 222 which connects the gate electrode of Nch tolan JISUSUTA, and the source electrode of the Nch transistor 218.

[0098] Furthermore, the path cord 224 which connects the source electrode and its gate electrode of the Nch transistor 218 is constituted. The path cord 223 which connects the gate electrode of the Pch transistor 217 and the drain electrode of the Nch transistor 218 is constituted further again.

[0099] In addition, the point which constitutes the path cord 221 which connects the gate electrode and its drain electrode of the Pch transistor 211 like the gestalt of implementation of the above 1st is common.

[0100] In the level-conversion circuit 200 of the above configurations, as shown in drawing 10 and drawing 11 , when one input terminal / IN is H level, as for the potential between [X22] the drain electrode of L level and the Pch transistor 213, and the Nch transistor 214, the potential between [X21] the drain electrode of the Pch transistor 211 and the source electrode of the Nch transistor 212 serves as [the input terminal IN of L level and another side] H level first.

[0101] Thereby, in the gate electrode of the Pch transistor 215, the gate electrode of H level and the Nch transistor 216 serves as H level, in the Pch transistor 215, OFF and the Nch transistor 216 will be in an ON state, and an output terminal OUT serves as L level.

[0102] On the other hand, if an input terminal/IN is set to H level and an input terminal IN is set to L level, the current which flows to said X21 will increase, and said potential of X22 will serve as L level. Thereby, in the gate electrode of the Pch transistor 215,

the gate electrode of L level and a Nch transistor serves as L level, it becomes off [the Pch transistor 215 / ON and the Nch transistor 216], and an output terminal OUT serves as H level.

[0103] Here, in this example, when a path cord 223 is low voltage, the Pch transistor 217 is an ON state and, for this reason, path cords 222 and 224 serve as H level.

[0104] Although the Nch transistors 212 and 214 will be in an ON state at this time, since an input terminal/IN is L level, X21 is L and an input terminal IN is H level, X22 is set to H level.

[0105] And if path cords 218 and 222 serve as H level, the Nch transistor 218 will be in an ON state, and both the path cords 218 and 222 will be set to L level.

[0106] Although the Nch transistors 212 and 214 will be in an OFF state at this time, the gate electrode of the Pch transistor 211 is L, and the current which the Pch transistor 211 turns on and flows to X21 increases.

[0107] Thus, the auto-bias of Pch TORANNJISUTA 211 can perform SWITCHING of the Pch transistors 211 and 213 of an upper case, and a latter bias circuit can perform switching of the Nch transistors 212 and 214 of the lower berth.

[0108] Though the same operation effectiveness as the gestalt of the 1st operation of a **** is done so as mentioned above according to the gestalt of this operation, improvement in the speed of a speed of response can be attained.

[0109] moreover, the case where form only a bias circuit and bias is always added although power consumption increases a little compared with the gestalt of implementation of the above 1st -- ratios -- **** -- reduction of the part which forms the auto-bias, and power consumption can be aimed at.

[0110] [The gestalt of the 4th operation], next the gestalt of the 4th operation concerning this invention are explained based on drawing 12 . Drawing 12 is circuit diagram **** concerning this invention which shows the level-conversion circuit of the gestalt of the 4th operation.

[0111] As shown in drawing 12 , the level-conversion circuit 300 of this example is established in a Pch transistor 311 and Nch transistor 312, and input terminal IN side, and is constituted including the Pch transistor 313 and the Nch transistor 314, the Pch transistor 315 and the Nch transistor 316, and the Pch transistor 317 and the Nch transistor 318. [which were prepared in one input terminal/IN side]

[0112] Moreover, the gate electrode of the Nch transistor 312 is connected to the gate electrode of the Nch transistor 318. Furthermore, the path cord 321 which connects the gate electrode and its source electrode of the Nch transistor 318 is constituted. The path cord 322 which connects the gate electrode and its drain electrode of the Pch transistor 317 is constituted.

[0113] Furthermore, the Pch transistor 317 and the Nch transistor 318 are connected to the serial. The path cord 323 which connects the gate electrode and its drain electrode of the Pch transistor 311 is constituted. The path cord 324 which connects

the gate electrode and its drain electrode of the Pch transistor 315 is constituted. The path cord 325 which connects the gate electrode and its source electrode of the Nch transistor 316 is constituted.

[0114] The Pch transistor 311 and the Nch transistor 312 are connected directly, and the gate electrode of the Pch transistor 311 and the gate electrode of the Pch transistor 313 are connected.

[0115] The Pch transistor 313 and the Nch transistor 314 are connected to the serial, and the gate electrode of the Nch transistor 314 and the gate electrode of the Nch transistor 316 are connected.

[0116] In addition, an output terminal OUT is formed between the Pch transistor 313 and the Nch transistor 314, a measure point X31 is formed between the Pch transistor 311 and the Nch transistor 312, a measure point X33 is formed between the Pch transistor 322 and Nch TORANJITA 318, and the measure point X32 is formed between the Pch transistor 315 and the Nch transistor 316.

[0117] In the level-conversion circuit 300 of the above configurations, as shown in drawing 12 and drawing 13, when the input terminal IN of H level and another side is L level, as for the Pch transistor 311 and the Pch transistor 313, it will be in an OFF state by the potential between [X31] the Nch transistor 312 and the Pch transistor 311 rising, and, as for an output terminal OUT, one input terminal / IN serves as L level.

[0118] At this time, the potential between [X32] the Pch transistor 315 and the Nch transistor 316 is H level, and the Pch transistor 315 has become an OFF state. Furthermore, since the input terminal IN of another side is L level, the potential X33 between the Pch transistor 317 and the Nch transistor 318 serves as L level.

[0119] Next, if set to H level, since the potential between [X31] the Pch transistor 311 and the Nch transistor 312 will serve as L level, as for the Pch transistor 311 and the Pch transistor 313, the input terminal of L level and another side will be in an ON state respectively, and as for the potential level of the output terminal OUT between the Nch transistor 314 and the Pch transistor 313, one input terminal / IN serves as H level.

[0120] Since one output terminal / IN is L level at this time, the potential between [X32] the Nch transistor 316 and the Pch transistor 315 serves as L level.

[0121] Furthermore, the potential between [X33] the Pch transistor 317 and the Nch transistor 318 was set to H level, and has reduced potential by making the Nch transistor 312 into an ON state.

[0122] Thus, also in the gestalt of this operation, the circuit which can do so the same operation effectiveness as the gestalt of each above-mentioned operation can be constituted.

[0123] [The gestalt of the 5th operation], next the gestalt of the 5th operation concerning this invention are explained based on drawing 14. Drawing 14 is circuit

diagram **** concerning this invention which shows the level-conversion circuit of the gestalt of the 5th operation.

[0124] The level-conversion circuit 400 of this example is constituted including Pch TORANNJISUTA 415 and the Nch transistor 416 which are formed in the force terminal IN much more, the Pch transistor 413 and Nch TORANNJISUTA 414, the Pch transistor 411 and the Nch transistor 412, the Pch transistor 417 and the Nch transistor 418, and the Nch transistor 419, as shown in drawing 14 .

[0125] The Nch transistor 416, the Nch transistor 419, and the Nch transistor 418 are connected to an input terminal IN. The Nch transistor 418 and the Pch transistor 417 are connected directly, and the measure point X43 is formed in the meantime. The Nch transistor 416 and the Pch transistor 415 are connected to a serial, and the output terminal OUT is connected in the meantime.

[0126] The Nch transistor 412 and the Pch transistor 411 are connected to a serial, and the measure point X41 is formed in the meantime. The Nch transistor 414 and the Pch transistor 413 are connected, and the measure point X42 is formed in the meantime.

[0127] And each source electrode of these Pch(es) transistors 415, 417, 411, and 413 is connected to the power source VEE.

[0128] Moreover, the gate electrode is connected to the source electrode of the Nch transistor 414, a path cord 422 is formed, a drain electrode is connected to an input terminal IN, and the Nch transistor 419 forms a path cord 426, and a source electrode is connected to the source electrode of the Nch transistor 418, and it forms the path cord 423. Furthermore, the gate electrode of the Nch transistor 418 and the gate electrode of the Nch transistor 412 are connected, and the path cord 427 is formed between these and the source electrode of the Nch transistor 419. Moreover, the gate electrode of the Nch transistor 414 and the gate electrode of a transistor 416 are connected, these and the gate electrode of a Nch transistor are connected, and the path cord 425 is formed.

[0129] Moreover, the path cord 420 which the gate electrode of the Pch transistor 411 and the gate electrode of the Pch transistor 415 are connected, and connects these gate electrodes and drain electrodes of the Pch transistor 411 is formed.

[0130] Furthermore, the gate electrode and its drain electrode of the Pch transistor 417 are connected by the path cord 424. The gate electrode and its drain electrode of the Pch transistor 413 are connected through the path cord 421.

[0131] In the level-conversion circuit 400 of the above configurations, as shown in drawing 14 and drawing 15 , when an input terminal IN is L level, the potential between [X43] the Nch transistor 418 and the Pch transistor 417 serves as L level, and path cords 423 and 427 also serve as L level.

[0132] Moreover, the potential between [X41] the Nch transistor 412 and the Pch transistor 411 serves as H level, and the Pch transistor 411 and the Pch transistor

415 are OFF states.

[0133] Furthermore, although the potential X42 between the Nch transistor 414 and the Pch transistor 413 is fixed potential, an input terminal IN serves as H level at the moment of changing from L to H, and it serves as L level at the moment of changing from H to L. Therefore, an output terminal OUT serves as L level.

[0134] On the other hand, if an input terminal IN is set to H level, the potential between [X43] the Nch transistor 418 and the Pch transistor 417 will serve as H level, and path cords 423 and 427 will also serve as H level.

[0135] Moreover, the potential between [X41] the Nch transistor 412 and the Pch transistor 411 serves as L level, and the Pch transistor 411 and the Pch transistor 415 are ON states. By this, an output terminal OUT will output the potential of H level.

[0136] According to the gestalt of this operation, the configuration by the auto-bias is applicable also to the level-conversion circuit of a force terminal much more as mentioned above.

[0137] [The gestalt of the 6th operation], next the gestalt of the 6th operation concerning this invention are explained based on drawing 16 . Drawing 16 is circuit diagram **** concerning this invention which shows the level-conversion circuit of the gestalt of the 6th operation.

[0138] The level-conversion circuit 500 of this example shows the example which formed the buffer in the output stage of the circuit of the same configuration as the gestalt of implementation of the above 1st, as shown in drawing 16 .

[0139] Specifically, the level-conversion circuit 500 of this example is constituted including the circuit 501 of the same configuration as the gestalt of implementation of the above 1st, and the buffer circuit 503 arranged in the latter part of this circuit 501, as shown in drawing 16 .

[0140] The circuit 501 constitutes an input terminal / IN and IN, and the connection places 521 and 522 of this drain in each with the Pch transistors 511 and 513 and the Nch transistors 512 and 514 like the configuration of the gestalt of operation of the above 1st.

[0141] The buffer circuit 503 constitutes the capacitor C1 as one output terminal / OUT, and load while two or more inverters INV1, INV3, INV5, INV7, INV9, and INV11 are formed in a serial. Furthermore, to the input of an inverter INV1, while two or more inverters INV4, INV6, INV8, INV10, and INV12 are formed in a serial, the output terminal OUT of another side and the capacitor C2 as a load are constituted. In addition, the input of an inverter INV5 is connected to the output of an inverter INV6, and the output of an inverter INV5 is respectively connected to the input of an inverter INV6.

[0142] Data can be outputted by making it possible to enlarge drive capacity and to drive it by this buffer circuit 503, and making it multistage. Moreover, it somewhat enlarges in the size of a Nch transistor, and has the configuration of tucking up its

sleeves with a cord for uniting a phase.

[0143] Specifically, each of each of these inverters INV1-INV12 is constituted by the pair of the Pch transistor of a complementary type, and a Nch transistor. In addition, the magnitude of the Pch transistor of an inverter INV1 For example, the magnitude of a Nch transistor 10 [mum] etc. It forms in 10 [mum] etc. for example, the magnitude of the Pch transistor of an inverter INV2 For example, the magnitude of a Nch transistor 10 [mum] etc. It forms in 10 [mum] etc. for example, the magnitude of the Pch transistor of an inverter INV3 For example, the magnitude of a Nch transistor 20 [mum] etc. It forms in 10 [mum] etc. for example, the magnitude of the Pch transistor of an inverter INV4 For example, the magnitude of a Nch transistor 20 [mum] etc. It forms in 20 [mum] etc. for example, the magnitude of the Pch transistor of an inverter INV5 For example, the magnitude of a Nch transistor 20 [mum] etc. It forms in 10 [mum] etc. for example, the magnitude of the Pch transistor of an inverter INV6 For example, the magnitude of a Nch transistor 20 [mum] etc. It forms in 10 [mum] etc. for example, the magnitude of the Pch transistor of an inverter INV7 For example, the magnitude of a Nch transistor 60 [mum] etc. It forms in 20 [mum] etc. for example, the magnitude of the Pch transistor of an inverter INV8 For example, the magnitude of a Nch transistor 60 [mum] etc. It forms in 20 [mum] etc. for example, the magnitude of the Pch transistor of an inverter INV9 For example, the magnitude of a Nch transistor 150 [mum] etc. It forms in 60 [mum] etc. for example, the magnitude of the Pch transistor 150 of an inverter INV10 For example, the magnitude of a Nch transistor 150 [mum] etc. It forms in 60 [mum] etc. for example, the magnitude of the Pch transistor of an inverter INV11 For example, the magnitude of a Nch transistor 400 [mum] etc. For example, it forms in 200 [mum] etc. and, as for 400 [mum] etc., forming in 200 [mum] etc. is [the magnitude of a Nch transistor] desirable [the magnitude of the Pch transistor of an inverter INV12].

[0144] (A load, a buffer circuit, level-shifter circuit with a phase doubling circuit) Next, the case where the output loads C1 and C2 are attached is examined. Moreover, the Nch transistor of the inverter INV4 of this example circuit may be 20 micrometers. In addition, the output loads C1 and C2 are set to 2pF.

[0145] This power consumption is shown in drawing 17 (A) and drawing 17 (B). In addition, drawing 17 (B) shows the property at the time of no-load [in 3V →17V conversion]. An input wave starts and falling (0→100%) is using 5ns.

[0146] In power consumption, X circuit is over 200micro of inputs A. Thereby, also in the configuration which added the buffer circuit etc., a low power can be planned at the time of no-load.

[0147] Next, the case where it is made to change **0.75V to the present condition Vth is shown in drawing 18 (A) - drawing 18 (D).

[0148] As shown in this drawing, even if a threshold (threshold) changes considerably, without the amount of power consumption and delay also changing, in the case of this

example circuit, it is stabilized, and it can operate.

[0149] In addition, these example circuits are [fluctuation of less than $\pm 1\text{MHz}$ and the time delay of clock frequency] fluctuation for less than $\pm 9.0\text{ns}$.

[0150] A highly efficient circuit can consist of the above results in the level shift circuit of this example. However, it is desirable to change the mobility of a transistor in the level-conversion circuit in the case of changing for example, into 173V to V grade of low voltage comparatively. For example, if mobility is increased about 1.5 times, it will become the maximum operating frequency of 20MHz , and 35.2ns of time delays.

[0151] Drawing 19 shows the clock frequency at the time of changing V_{th} $\pm 0.75\text{V}$, power consumption, duty distortion, and delay by one 1.5 times the mobility of this.

[0152] As shown in this drawing, they are the clock frequency of 20MHz or more, less than 5.0% of duty distortion, and less than 50ns of delay. It is desirable to raise mobility with $120 [\text{cm}^2 / \text{V}\cdot\text{s}]$ and a Pch transistor with the Nch transistor which is 1.5 times more than $84 [\text{cm}^2 / \text{V}\cdot\text{s}]$.

[0153] Though the same operation effectiveness as the gestalt of each above-mentioned operation is done so as mentioned above according to the gestalt of this operation, with constituting a buffer circuit, it drives and the level-conversion circuit which can perform data output good can be offered.

[0154] [The gestalt of the 7th operation], next the gestalt of the 7th operation concerning this invention are explained based on drawing 20 . Drawing 20 is circuit diagram **** concerning this invention which shows the level-conversion circuit of the gestalt of the 7th operation.

[0155] The level-conversion circuit 600 of this example shows the example which formed the buffer in the output stage of the circuit of the same configuration as the gestalt of implementation of the above 2nd, as shown in drawing 20 .

[0156] Specifically, the level-conversion circuit 600 of this example is constituted including the circuit 601 of the same configuration as the gestalt of implementation of the above 2nd, and the buffer circuit 603 arranged in the latter part of this circuit 601, as shown in drawing 20 .

[0157] This circuit 601 is two input terminals with the Pch transistors 611, 613, and 615, the Nch transistors 612, 614, and 616, etc. / IN and IN, and a circuit that has path cords 623, 622, and 621 like the gestalt of the 2nd operation of a ****.

[0158] Moreover, like the gestalt of implementation of the above 6th, a buffer circuit 603 constitutes two or more inverters INV1-INV12 and the capacitors C1 and C2 as a load, and constitutes two output terminals / OUT and OUT.

[0159] According to such a level-conversion circuit, even if it is the configuration that it has an external bias circuit in addition to an auto-bias means, the circuit which can be driven by the buffer circuit can be offered.

[0160] [The gestalt of the 8th operation], next the gestalt of the 8th operation concerning this invention are explained based on drawing 21 . Drawing 21 is circuit

diagram **** concerning this invention which shows the level-conversion circuit of the gestalt of the 6th operation.

[0161] The level-conversion circuit 700 of this example shows the example which formed the buffer in the output stage of the same circuit of a configuration as the gestalt of implementation of the above 3rd, as shown in drawing 21 .

[0162] Specifically, the level-conversion circuit 700 of this example is constituted including the same circuit 701 as the gestalt of implementation of the above 3rd, and the buffer circuit 703 arranged in the latter part of this circuit 701, as shown in drawing 21 .

[0163] This circuit 701 is a circuit which has two input terminals with the Pch transistors 711, 713, and 715, the Nch transistors 712, 714, and 716, etc. / IN and IN, and path cords 721, 722, 723, and 724 like the gestalt of the 3rd operation of a ****.

[0164] Moreover, like the gestalt of implementation of the above 6th, a buffer circuit 703 constitutes two or more inverters INV1-INV12 and the capacitors C1 and C2 as a load, and constitutes two output terminals / OUT and OUT.

[0165] According to such a level-conversion circuit, even if it is the configuration that it has an external bias circuit for a Nch transistor side in addition to an auto-bias means, the circuit which can be driven by the buffer circuit can be offered.

[0166] [The gestalt of the 9th operation], next the gestalt of the 9th operation concerning this invention are explained based on drawing 22 and drawing 23 . Drawing 22 is the functional block diagram showing the outline configuration of the liquid crystal display which contained the above-mentioned level-conversion circuit.

[0167] the 1- above-mentioned in this example -- the liquid crystal display 800 of liquid crystal panel one apparatus which built in one level-conversion circuit of the gestalten of each 8th operation is indicated.

[0168] The liquid crystal display 800 of this example consists of a liquid crystal display control section 801 and the liquid crystal module section 810.

[0169] The liquid crystal display control section 801 has the microprocessor unit (MPU) which is not illustrated, and this liquid crystal module controller 802 supplies various kinds of control signals and clock signals to the liquid crystal display module section 810 side.

[0170] The liquid crystal module controller 802 controls the signal driver 830 and the scan driver 820. The signal driver 830 determines output potential with the control signal and signal data from the liquid crystal module controller 802. The scan driver 820 determines output potential with the control signal and scan data from the liquid crystal module controller 802.

[0171] The liquid crystal display module section 810 is the signal driver (the signal-electrode drive circuit, X driver) 820 and scan driver (it has the scan electrode drive circuit (Y driver) 830 and the liquid crystal power circuit 840 which generates high-pressure liquid crystal driver voltage (reference voltage).) which were formed in

the boundary region of the liquid crystal display panel 811 of a simple matrix type, and this liquid crystal display panel 811.

[0172] An above-mentioned level-conversion circuit will be built in in these signal drivers 820 and the scan driver 830. In this example, in case a liquid crystal display panel is manufactured, for example in TFT, each surrounding drivers 320 and 330 will also be manufactured in the same process.

[0173] Various signals are changed into the high voltage of 15V and 17V grade when inputting a data signal and a timing signal into each drivers 320 and 330 in 3V and 5V grade from the exterior in such a level-conversion circuit.

[0174] The signal driver 830 supplies a driver output the screen of every one line to the total M numbers of a signal electrode. Namely, when it is incorporated one after another by the shift register in the signal driver 830 and the signal for the screen of one line (M bits) is incorporated with the pixel clock (shift clock pulse) XSCL, by the scanning-line synchronizing signal YSCL (data latch signal LP), the signal data in a shift register are sent to a data latch circuit in juxtaposition, and, as for the signal data D0-D7 (DX), direct and the parallel conversion of signal data are performed.

[0175] In the data latch circuit, it continues, the signal level for one line is held at one scan period, and the driver output voltage with which the selection switching circuit was connected to the signal electrode based on the signal level is set to either selection or the condition of not choosing. The liquid crystal alternating current-ized signal FR is a clock which uses each above-mentioned electrical potential difference as an alternating current wave form, in order to prevent degradation of the liquid crystal device by direct-current drive.

[0176] The De Dis play-off signal / DF which is a forced-display off control signal are the signals for making a liquid crystal screen into a blank display condition compulsorily, and is transmitted to the signal driver 830 and the scan driver 820 from the liquid crystal module controller 802.

[0177] The shift clock pulse XSCL is transmitted to the signal driver 830 from the liquid crystal module controller 802. The data latch signal LP is transmitted to the signal driver 830 and the scan driver 820 from the liquid crystal module controller 802. This data latch signal LP serves as a scan data transfer clock in the scan driver 820.

[0178] The scan data YD are transmitted to the signal driver 830 and the scan driver 820 from the liquid crystal module controller 802. The signal data DX (D0-D7) are transmitted to the signal driver 830 from the liquid crystal module controller 802.

[0179] The scan driver 820 operates so that a selection electrical potential difference may be given only to one and it may give a non-choosing electrical potential difference to the scan electrode of other books (N-1) among for example, scan electrode total N books. 1 scanning-line period is started by the scan start pulse (frame start signal) SP, and whenever the scanning-line synchronizing signal YSCL (data latch signal LP) ON-comes and it attributes, a selection electrical potential

difference is impressed to the scan electrode of the Nth line one after another from the scan electrode of the 1st line (line ranking display).

[0180] Moreover, the liquid crystal power circuit 840 arranged at the liquid crystal display module section 810 side generates two or more liquid crystal driver voltages which the selecting switch of the signal driver 830 and the scan driver 820 should choose, and is set as a power turning-on-and-off condition by the De Dis play-off signal / DF.

[0181] (Signal side driver) The signal driver 830 is shown in drawing 23 (A). The signal driver 830 generates the signal for latching data to the Rhine memory 833. Each part of the Rhine memory 833 for latching the signal data of the shift register including the half latch who memorizes the signal data DX (D0-D7) of two or more [832 or] lines, and the Rhine memory 833 is made into 1 set. The signal data DX (D0-D7) The Rhine memory 833 to latch With the selector 834 which specifies the group of the Rhine memory 833 which reads the latched data, the discrimination decision circuit 835 which identifies each selection period, the signal data DX (D0-D7) latched to the Rhine memory 833, and the liquid crystal alternating current-ized signal FR and selection period discernment data It consists of a decoder 836 which creates the signal for choosing output potential, a level shifter 837 which is the level-conversion circuit which changes the decoded signal into the voltage level for a driver drive, and a driver circuit 838 which chooses output potential with the decoding signal by which the level shift was carried out.

[0182] The data in which the polarity of a selection wave which the scan driver 820 outputs beforehand is shown are memorized, and a decoder 836 is formed of the combinational circuit which inputs selection period discernment data, the signal data DX for two or more lines (D0-D7), and the liquid crystal alternating current-ized signal FR.

[0183] (Scan driver) The scan driver 820 is shown in drawing 23 (B). Including the shift register 822 which transmits the scan data YD, this shift register 822 has the delay for a term two or more rounds of LP signal, and the scan driver 820 chooses the n-th with the n+1st LP signals. The scan driver 820 includes the decoder 824 which creates the signal for choosing output potential from the discrimination decision circuit 823 and scan data which identify each selection period, selection period discernment data, and the liquid crystal alternating current-ized signal FR further, the level shifter 825 which is the level-conversion circuit which changes the decoded signal into the voltage level for a driver drive, and the driver circuit 826 which chooses output potential with the decoding signal by which the level shift was carried out.

[0184] The decoder 824 has memorized the data in which the polarity of a selection wave which the scan driver 820 outputs beforehand is shown, and is constituted by the combinational circuit which inputs selection period discernment data, scan data, and the liquid crystal alternating current-ized signal FR.

[0185] In addition, in addition to this, it is constituted by the liquid crystal display 800 including the source of a display information output, a display information processing circuit, a clock generation circuit, etc. In the source of a display information output, it is constituted including the tuning circuit which aligns and outputs memory, such as ROM and RAM, and a TV signal, and display information, such as a video signal, is outputted based on the clock from a clock generation circuit. A display information processing circuit can process and output display information based on the clock from a clock generation circuit, for example, can include magnification and a polarity-reversals circuit, a phase expansion circuit, a rotation circuit, a gamma correction circuit, or a clamping circuit.

[0186] The equipment equipped with the video tape recorder of the liquid crystal projector which is a projection mold indicating equipment, the personal computer corresponding to multimedia (PC) and an engineering workstation (EWS), a pager or a cellular phone, a word processor, television, a viewfinder mold, or a monitor direct viewing type, an electronic notebook, an electronic calculator, car navigation equipment, the POS terminal, and the touch panel as electronic equipment constituted using an above-mentioned liquid crystal display can be mentioned.

[0187] As for a liquid crystal projector, it is desirable to form the projection mold projector which used the transparency mold liquid crystal panel as a light valve. For example, as the configuration The projection light injected from the lamp unit of the source of the white light including the optical system of 3 plate prism method with two or more mirrors and dichroic mirrors in the interior of a light guide For example, R, the spectrum was carried out to the three primary colors of G and B, and it led to the liquid crystal panel of three sheets which displays the image of each color, and became irregular respectively -- each -- the image of each color is compounded with a dichroic prism, and, as for a spectrum, a color picture is projected on a screen etc. through a projection lens.

[0188] In addition, although the equipment and the approach concerning this invention have been explained according to the gestalt of some of the specific operation, various deformation is possible for this contractor to the gestalt of operation described in the text of this invention, without deviating from the main point and range of this invention. For example, this invention is applicable not only to what is applied to the drive of various kinds of above-mentioned liquid crystal panels but electroluminescence and plasma display equipment.

[0189] Moreover, in each driver of X of a liquid crystal display, and Y, in case two or more different voltage levels are required, when there are two or more power sources of a different electrical potential difference, a level-conversion circuit may be formed according to a different power source.

[0190] If mobility is a low component, a level-conversion circuit can also be applied to other circuits other than a liquid crystal drive circuit further again.

[0191] Moreover, as what forms an auto-bias, it does not restrict to an above-mentioned example, and the part to form is a component in a level-conversion circuit, as long as it may be formed in which component. Moreover, it may be the component which needs bias, and when there are two or more components in which auto-bias formation is possible, you may be the configuration which may form about the each and is shared.

[0192] Furthermore, it cannot be overemphasized that the example by the gestalten of each above-mentioned operation and the combination of it and each modification is also included.

[0193]

[Effect of the Invention] Moreover, the circuit where a speed of response is quick can consist of low powers by according to this invention, carrying out a direct input from a drain terminal, when a component with such low mobility constitutes a level shift circuit from the component of high pressure-proofing, although mobility is low, and carrying out an auto-bias with an auto-bias impression means, as explained above.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing an example of the gestalt of operation of the level-conversion circuit of this invention.

[Drawing 2] It is the wave form chart showing the voltage waveform of each point of the level-conversion circuit of drawing 1 .

[Drawing 3] It is the property Fig. showing the input voltage-output frequency property of a circuit the level-conversion circuit of drawing 1 , and conventionally.

[Drawing 4] It is the property Fig. showing the input voltage-output voltage property of a circuit conventionally.

[Drawing 5] It is the property Fig. showing the input voltage-output voltage property of a circuit conventionally.

[Drawing 6] It is the property Fig. showing the input voltage-output voltage property of the level-conversion circuit of drawing 1 .

[Drawing 7] It is the explanatory view showing the comparison of the power consumption of the level-conversion circuit of drawing 1 , and other circuits.

[Drawing 8] It is the circuit diagram showing an example of the gestalt of other operations of the level-conversion circuit of this invention.

[Drawing 9] It is the wave form chart showing the voltage waveform of each point of the level-conversion circuit of drawing 8 .

[Drawing 10] It is the circuit diagram showing an example of the gestalt of other operations of the level-conversion circuit of this invention.

[Drawing 11] It is the wave form chart showing the voltage waveform of each point of the level-conversion circuit of drawing 10 .

[Drawing 12] It is the circuit diagram showing an example of the gestalt of other operations of the level-conversion circuit of this invention.

[Drawing 13] It is the wave form chart showing the voltage waveform of each point of the level-conversion circuit of drawing 12 .

[Drawing 14] It is the circuit diagram showing an example of the gestalt of other operations of the level-conversion circuit of this invention.

[Drawing 15] It is the wave form chart showing the voltage waveform of each point of the level-conversion circuit of drawing 14 .

[Drawing 16] It is the circuit diagram showing an example of the gestalt of other operations of the level-conversion circuit of this invention.

[Drawing 17] This drawing (A) and (B) are the explanatory views explaining the comparison of the power consumption of the level-conversion circuit of drawing 16 , and other circuits.

[=?8;8///&N0001=703&N0552=9&N0553=000020" TARGET="tjitemdrw"> drawing 18] This drawing (A) - (D) is the explanatory view showing the various value changes to fluctuation of the threshold of the level-conversion circuit of drawing 16 , and other circuits.

[Drawing 19] It is the explanatory view showing the range of fluctuation at the time of changing the mobility of the transistor of the level-conversion circuit of drawing 16 .

[Drawing 20] It is the circuit diagram showing an example of the gestalt of other operations of the level-conversion circuit of this invention.

[Drawing 21] It is the circuit diagram showing an example of the gestalt of other operations of the level-conversion circuit of this invention.

[Drawing 22] It is the functional block diagram showing a liquid crystal display including the level-conversion circuit of this invention.

[Drawing 23] This drawing (A) and (B) are the functional block diagrams showing X driver including the level-conversion circuit of this invention, and Y driver.

[Drawing 24] It is the circuit diagram showing the conventional level-conversion circuit.

[Drawing 25] It is the circuit diagram showing the conventional level-conversion circuit.

[Drawing 26] It is the wave form chart showing the wave of the level-conversion circuit of drawing.25 of operation.

[Description of Notations]

1 Level-Conversion Circuit

3 Inverter

11 13 Pch transistor

12 14 Nch transistor

800 Liquid Crystal Display

/--- IN and IN Input terminal

OUT Output terminal

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-207457

(P2002-207457A)

(43)公開日 平成14年7月26日(2002.7.26)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 G 3/20

5 2 0

6 1 1

6 1 2

6 2 1

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 G 3/20

5 2 0

6 1 1 A

6 1 2 D

6 2 1 F

2 H 0 9 3

5 C 0 0 6

5 C 0 8 0

審査請求 未請求 請求項の数 9 O L (全 23 頁) 最終頁に続く

(21)出願番号 特願2001-1848(P2001-1848)

(22)出願日 平成13年1月9日(2001.1.9)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 胡桃澤 孝

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅彦 (外1名)

Fターム(参考) 2H093 NC03 ND32 ND39 NG02

5C006 AF69 AF75 BB11 BC20 BF27

BF33 BF34 BF46 EC11 FA13

FA47

5C080 AA10 BB05 CC10 DD08 DD26

FF07 JJ02 JJ03 JJ04 JJ05

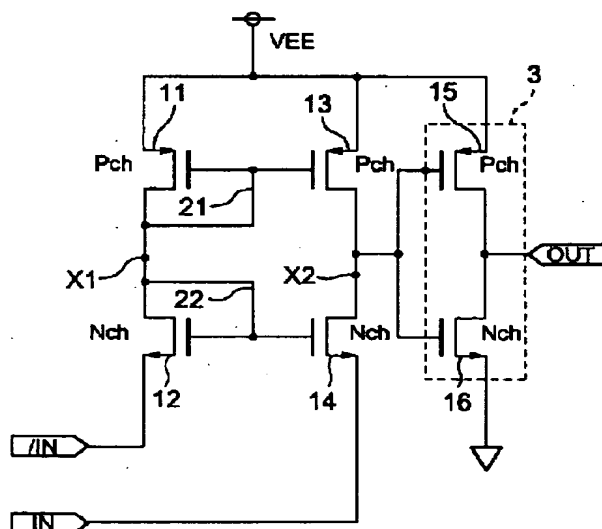
(54)【発明の名称】 レベル変換回路及び液晶表示装置並びに投写型表示装置

(57)【要約】

【課題】 本発明は、応答速度を速くすることができ、消費電力を低減することのできるレベル変換回路及び液晶表示装置並びに投写型表示装置を提供する。

【解決手段】 第1、第2の入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路である。第1、第2の入力信号をドレイン端子より入力して、オンオフされる第1、第2のスイッチング素子を有する。第1のスイッチング素子と電源との間に接続され、第1のスイッチング素子との間に出力端子を形成せしめる第3のスイッチング素子を有する。第2のスイッチング素子と電源との間に接続され、ゲート電極が第3のスイッチング素子のゲート電極と接続される第4のスイッチング素子を有する。第2及び第4のスイッチング素子のいずれか一方又は双方に対し、自身でバイアス電圧を印加してオンオフ駆動する自己バイアス印加手段を有する。

1



【特許請求の範囲】

【請求項1】 入力端子より入力される入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、回路内部の少なくとも一つのスイッチング素子に対して、自身でバイアス電圧を印加して前記スイッチング素子をオンオフ駆動する自己バイアス印加手段を設けたことを特徴とするレベル変換回路。

【請求項2】 入力端子より入力される入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、前記入力信号をドレイン端子より入力して、オンオフされる第1のスイッチング素子と、前記第1のスイッチング素子と電源との間に接続された第2のスイッチング素子と、前記第1及び第2のスイッチング素子のいずれか一方又は双方に対して、自身でバイアス電圧を印加して前記第1及び第2のスイッチング素子のいずれか一方又は双方をオンオフ駆動する自己バイアス印加手段と、を含むことを特徴とするレベル変換回路。

【請求項3】 第1、第2の入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、前記第1の入力信号をドレイン端子より入力して、オンオフされる第1のスイッチング素子と、前記第2の入力信号をドレイン端子より入力して、オンオフされ、ゲート電極が前記第1のスイッチング素子のゲート電極と接続されるとともに、ソース電極が前記ゲート電極に接続された第2のスイッチング素子と、前記第1のスイッチング素子と電源との間に接続され、前記第1のスイッチング素子との間に前記第2の電圧を出力する出力端子を形成せしめ、前記第1のスイッチング素子と異なる導電型の第3のスイッチング素子と、前記第2のスイッチング素子と電源との間に接続されるとともに、ゲート電極が前記第3のスイッチング素子のゲート電極と接続され、前記第2のスイッチング素子と異なる導電型の第4のスイッチング素子と、前記第2及び第4のスイッチング素子のいずれか一方又は双方に対して、自身でバイアス電圧を印加して前記第2及び第4のスイッチング素子のいずれか一方又は双方をオンオフ駆動する自己バイアス印加手段と、を含むことを特徴とするレベル変換回路。

【請求項4】 入力端子より入力される入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、回路内部の少なくとも一つのスイッチング素子に対して、自身でバイアス電圧を印加してオンオフ駆動する第1のバイアス印加手段と、前記スイッチング素子に対して外部よりバイアス電圧を印加する第2のバイアス印加手段と、

を含むことを特徴とするレベル変換回路。

【請求項5】 第1、第2の入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、前記第1の入力信号をドレイン端子より入力して、オンオフされる第1のスイッチング素子と、前記第2の入力信号をドレイン端子より入力して、オンオフされ、ゲート電極が前記第1のスイッチング素子のゲート電極と接続されるとともに、ソース電極が前記ゲート電極に接続された第2のスイッチング素子と、前記第1のスイッチング素子と電源との間に接続され、前記第1のスイッチング素子との間に前記第2の電圧を出力する出力端子を形成せしめ、前記第1のスイッチング素子と異なる導電型の第3のスイッチング素子と、前記第2のスイッチング素子と電源との間に接続されるとともに、ゲート電極が前記第3のスイッチング素子のゲート電極と接続され、前記第2のスイッチング素子と異なる導電型の第4のスイッチング素子と、前記第2のスイッチング素子に対して、自身でバイアス電圧を印加して前記第2のスイッチング素子をオンオフ駆動する第1のバイアス印加手段と、前記第4のスイッチング素子に対してバイアス電圧を印加する第2のバイアス印加手段と、を含むことを特徴とするレベル変換回路。

【請求項6】 第1、第2の入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、前記第1の入力信号をドレイン端子より入力して、オンオフされる第1のスイッチング素子と、前記第2の入力信号をドレイン端子より入力して、オンオフされ、ゲート電極が前記第1のスイッチング素子のゲート電極と接続されるとともに、ソース電極が前記ゲート電極に接続された第2のスイッチング素子と、前記第1のスイッチング素子と電源との間に接続され、前記第1のスイッチング素子との間に前記第2の電圧を出力する出力端子を形成せしめ、前記第1のスイッチング素子と異なる導電型の第3のスイッチング素子と、前記第2のスイッチング素子と電源との間に接続されるとともに、ゲート電極が前記第3のスイッチング素子のゲート電極と接続され、前記第2のスイッチング素子と異なる導電型の第4のスイッチング素子と、前記第4のスイッチング素子に対して、自身でバイアス電圧を印加して前記第4のスイッチング素子をオンオフ駆動する第1のバイアス印加手段と、前記第2のスイッチング素子に対してバイアス電圧を印加する第2のバイアス印加手段と、を含むことを特徴とするレベル変換回路。

【請求項7】 請求項1～請求項6のいずれかにおいて、レベル変換回路の出力段にバッファ手段を設けたことを

特徴とするレベル変換回路。

【請求項8】 液晶表示パネルと、
前記液晶表示パネルの走査電極を駆動する走査駆動回路と、
前記液晶表示パネルの信号電極を駆動する信号駆動回路と、
を含み、前記液晶表示パネルと前記走査駆動回路及び前記信号駆動回路が同一プロセスにて一体形成され、
前記走査駆動回路及び前記信号駆動回路のいずれか一方又は双方には、

請求項1～請求項7のいずれかに記載の複数のレベル変換回路が形成されることを特徴とする液晶表示装置。

【請求項9】 請求項8に記載の液晶表示装置を含む投写型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、レベル変換回路及び液晶表示装置並びに投写型表示装置に関する。

【0002】

【従来の技術】 従来、集積回路においては、例えば液晶を用いた表示回路を駆動するときには昇圧回路を用いて高い電圧を作る場合があり、また低消費電流の回路を得るために低い電圧の定電圧回路を用いる場合等がある。集積回路内部において異なった電圧で動作している回路が混在していることが多々ある。

【0003】そして、それらの回路は互いに信号が行き来していることが一般的であるが、低い電圧系の回路の信号で高い電圧系の回路を動作させる場合には、それらを結合するレベル変換回路が必要となる。

【0004】例えば半導体素子にて形成されるレベル変換回路として、最も一般的なものとして図24に示すようなフリップフロップ型の回路が挙げられる。

【0005】このレベル変換回路1000では、図24に示すように、Pchトランジスタ1003、Nchトランジスタ1005、Pchトランジスタ1004、Nchトランジスタ1006で構成されたインバータの出力が、Pchトランジスタ1001、Pchトランジスタ1002に導掛けに接続された構成となっている。

【0006】このフリップフロップ型の回路では、入力INがくると出力OUTを引き下げ、入力INがくると出力OUTを引き下げるタイミングで動作する。

【0007】さらに、他の例として、カレントミラー回路を用いたレベル変換回路が挙げられる。このようなレベル変換回路としては、例えば米国特許公報USP5113097等が挙げられる。この例を図25に示す。同図に示すように、上記文献に記載のレベル変換回路1100（デビッドシャーノフリサーチセンター、以下「DS回路」という）では、図25に示すように、Pchトランジスタ1126、Pchトランジスタ1128、Nchトランジスタ1122、Pchトランジスタ112

8でカレントミラー回路を形成し、該カレントミラー回路の後段の出力端子VOU T側に、Pchトランジスタ1108及びNchトランジスタ1110よりなるインバータ1106を形成した構成としている。

【0008】このDS回路では、カレントミラー回路の上部のPchトランジスタ1126、1128の各ゲート入力でレベル変換を行い、インバータ1106を介して出力するようにしている。このようなインバータ1106を付加することによって、中間レベルの電位を引き上げることができる。これによって、スレッショールドを越えれば直ぐに上に行ったり、下に行ったりするのでレベルシフトを高速に行うことができる。

【0009】一方、近年、液晶表示パネルと、この液晶表示パネルを駆動する駆動回路とを同一部材例えばTFT等にてプロセス工程より一体形成することが試みられている。

【0010】このような液晶表示パネルと一体形成する場合には、駆動回路を形成する部材としては、例えば低温又は高温のポリシリコンにて形成する必要がある。

【0011】このようなポリシリコンにて形成された駆動回路では、通常のパルクのシリコン等の半導体素子にて形成される駆動回路に比して、高耐圧の素子にて形成する必要がある。

【0012】このため、移動度が低く、電子が動きづらい状況の下で電圧レベルを引き上げなければならない。

【0013】

【発明が解決しようとする課題】ところで、レベル変換回路をICチップ上に形成する場合には従来回路でよいが、レベル変換回路を液晶パネルのガラス基板上に低温又は高温ポリシリコン等で直接回路を製造する場合には、移動度が少ない高耐圧の素子で形成しなければならないために、従来のようなレベル変換回路を構成した場合には、以下のような問題が生じた。

【0014】先ず、P-SiTFTにて上述のフリップフロップ型のレベル変換回路を構成した場合は、高耐圧のTFTを使用せざるを得ないため動作スピードを上げることができないという問題があった。とりわけ、インバータ段での遅れによって、立ち上がりおよび立ち下りのそれぞれのタイミングについて遅れが生じ、結果として全体の動作速度が遅いという問題点があった。

【0015】さらには、レベル変換後の出力波形がひずみ、安定性にかけるという問題点があった。

【0016】このように、TFTでレベル変換回路を構成した場合、動作スピード（応答速度）が非常に遅いという問題があった。

【0017】一方、DS回路においては、本発明者等が解析を行った結果、以下ようになった。すなわち、Pch1126、Pch2を1128を10 μ m、Nch1120、Nch1122を20 μ mとしてシュミレーションした結果、各入力IN、/IN、出力OUTの波

形は、図26のようになった。

【0018】なお、OUTは、インバータ1106の入力であるPch1108、Nch1110のゲート入力波形である。また、レベル変換を例えば入力5Vから出力15Vに変換を行う場合であって、入力波形は、立ち上がり時間、立ち下がり時間を例えば10nsとしている。この時、一例として以下の結果が得られた。

【0019】最大動作周波数：16.2MHz、消費電力：2.7mW、遅れ時間（立ち上がり）：22.0ns、遅れ時間（立ち下がり）：17.0ns以上のようなレベル変換回路の解析結果から、DS回路においては、動作スピードは速いが、消費電力が大きいということが判明した。

【0020】一般に、レベル変換回路は、投射型表示装置のライトバルブの中等に使用するが、上述のように消費電力が大きいと上記回路の部分だけ発熱するという問題があった。

【0021】特に、近年ライトバルブの小型化が技術的な主流となっており、小型化するに従い上記発熱の問題が顕著となる。

【0022】また、入力電圧が下がると、応答周波数が下がり、維持することができず、安定的にレベル変換動作を行うことを阻害していた。

【0023】さらに、動作速度を向上させるために専用のバイアス回路を形成することが考えられるが、常にバイアスをかけるような場合には、電流が流れたままであり、電力を非常に消費し、場合によっては発熱するという問題があった。

【0024】本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、応答速度を速くすることができ、しかも消費電力を低減することのできるレベル変換回路及び液晶表示装置並びに投写型表示装置を提供することにある。

【0025】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載の発明は、入力端子より入力される入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、回路内部の少なくとも一つのスイッチング素子に対して、自身でバイアス電圧を印加して前記スイッチング素子をオンオフ駆動する自己バイアス印加手段を設けたことを特徴としている。

【0026】請求項2に記載の発明は、入力端子より入力される入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、前記入力信号をドレイン端子より入力して、オンオフされる第1のスイッチング素子と、前記第1のスイッチング素子と電源との間に接続された第2のスイッチング素子と、前記第1及び第2のスイッチング素子

のいずれか一方又は双方に対して、自身でバイアス電圧を印加して前記第1及び第2のスイッチング素子のいずれか一方又は双方をオンオフ駆動する自己バイアス印加手段と、を含むことを特徴としている。

【0027】また、請求項3に記載の発明は、第1、第2の入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、前記第1の入力信号をドレイン端子より入力して、オンオフされる第1のスイッチング素子と、前記第2の入力信号をドレイン端子より入力して、オンオフされ、ゲート電極が前記第1のスイッチング素子のゲート電極と接続されるとともに、ソース電極が前記ゲート電極に接続された第2のスイッチング素子と、前記第1のスイッチング素子と電源との間に接続され、前記第1のスイッチング素子との間に前記第2の電圧を出力する出力端子を形成せしめ、前記第1のスイッチング素子と異なる導電型の第3のスイッチング素子と、前記第2のスイッチング素子と電源との間に接続されるとともに、ゲート電極が前記第3のスイッチング素子のゲート電極と接続され、前記第2のスイッチング素子と異なる導電型の第4のスイッチング素子と、前記第2及び第4のスイッチング素子のいずれか一方又は双方に対して、自身でバイアス電圧を印加して前記第2及び第4のスイッチング素子のいずれか一方又は双方をオンオフ駆動する自己バイアス印加手段と、を含むことを特徴としている。

【0028】また、請求項4に記載の発明は、入力端子より入力される入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、回路内部の少なくとも一つのスイッチング素子に対して、自身でバイアス電圧を印加してオンオフ駆動する第1のバイアス印加手段と、前記スイッチング素子に対して外部よりバイアス電圧を印加する第2のバイアス印加手段と、を含むことを特徴としている。

【0029】また、請求項5に記載の発明は、第1、第2の入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、前記第1の入力信号をドレイン端子より入力して、オンオフされる第1のスイッチング素子と、前記第2の入力信号をドレイン端子より入力して、オンオフされ、ゲート電極が前記第1のスイッチング素子のゲート電極と接続されるとともに、ソース電極が前記ゲート電極に接続された第2のスイッチング素子と、前記第1のスイッチング素子と電源との間に接続され、前記第1のスイッチング素子との間に前記第2の電圧を出力する出力端子を形成せしめ、前記第1のスイッチング素子と異なる導電型の第3のスイッチング素子と、前記第2のスイッチング素子と電源との間に接続されるとともに、ゲート電極が前記第3のスイッチング素子のゲート電極と接続され、前記第2のスイッチング素子と異なる導電型の第4のスイッチング素子と、前記第2のスイッチング

素子に対して、自身でバイアス電圧を印加して前記第2のスイッチング素子をオンオフ駆動する第1のバイアス印加手段と、前記第4のスイッチング素子に対してバイアス電圧を印加する第2のバイアス印加手段と、を含むことを特徴としている。

【0030】また、請求項6に記載の発明は、第1、第2の入力信号の電圧振幅を第1の電圧から第2の電圧へと変換させる高耐圧の素子を用いたレベル変換回路であって、前記第1の入力信号をドレイン端子より入力して、オンオフされる第1のスイッチング素子と、前記第2の入力信号をドレイン端子より入力して、オンオフされ、ゲート電極が前記第1のスイッチング素子のゲート電極と接続されるとともに、ソース電極が前記ゲート電極に接続された第2のスイッチング素子と、前記第1のスイッチング素子と電源との間に接続され、前記第1のスイッチング素子との間に前記第2の電圧を出力する出力端子を形成せしめ、前記第1のスイッチング素子と異なる導電型の第3のスイッチング素子と、前記第2のスイッチング素子と電源との間に接続されるとともに、ゲート電極が前記第3のスイッチング素子のゲート電極と接続され、前記第2のスイッチング素子と異なる導電型の第4のスイッチング素子と、前記第4のスイッチング素子に対して、自身でバイアス電圧を印加して前記第4のスイッチング素子をオンオフ駆動する第1のバイアス印加手段と、前記第2のスイッチング素子に対してバイアス電圧を印加する第2のバイアス印加手段と、を含むことを特徴としている。

【0031】また、請求項7に記載の発明は、上述のレベル変換回路の出力段にバッファ手段を設けている。

【0032】また、請求項8に記載の発明は、液晶表示パネルと、前記液晶表示パネルの走査電極を駆動する走査駆動回路と、前記液晶表示パネルの信号電極を駆動する信号駆動回路と、を含み、前記液晶表示パネルと前記走査駆動回路及び前記信号駆動回路が同一プロセスにて一体形成され、前記走査駆動回路及び前記信号駆動回路のいずれか一方又は双方には、上述の複数のレベル変換回路が形成されることを特徴としている。

【0033】また、請求項9に記載の発明は、上述の液晶表示装置を含む投写型表示装置を定義している。

【0034】

【発明の実施の形態】以下、本発明の好適な実施の形態の一例について、図面を参照して具体的に説明する。

【0035】[第1の実施の形態]

(構成説明) 先ず、本発明のレベル変換回路の構成について、図1を参照して説明する。図1は、本例のレベル変換回路を示す回路図である。

【0036】本例のレベル変換回路1は、図1に示すように、Nチャンネルのカレントミラー回路を基本として、消費電力を抑えるため自己バイアスとし、Nchトランジスタ12、14のドレイン入力の充放電回路とな

っている。そして、上段のPchトランジスタ11に対し自分のところから電流を取り、自分でゲート電極に電圧を印加してバイアスを加える構成としたことに特徴を有するものである。

【0037】具体的には、レベル変換回路1は、電源VEEに接続されたスイッチング素子であるPchトランジスタ11と、このPchトランジスタ11と直列に接続されたスイッチング素子であるNchトランジスタ12と、このNchトランジスタ12に接続された一方の入力端子/INと、電源VEEに接続されたスイッチング素子であるPchトランジスタ13と、このPchトランジスタ13と直列に接続されたスイッチング素子であるNchトランジスタ14と、このNchトランジスタ14に接続された他方の入力端子INと、後段の出力段に設けられPchトランジスタ13とNchトランジスタ14との間X2の電位を反転する反転手段としてのインバータ3と、このインバータ3出力をレベル変換回路1の出力とする出力端子OUTと、を含んで構成される。

【0038】ここで、Pchトランジスタ11のゲート電極とソース電極とは接続線21にて接続されている。

【0039】一方、Pchトランジスタ11の下段に設けられているNchトランジスタ12においても、Nchトランジスタ12のゲート電極とソース電極とが接続線22にて接続されている。このPchトランジスタ11、接続線21、接続線22、Nchトランジスタ12、とで本発明の自己バイアス印加手段(又は第1のバイアス印加手段)を構成している。

【0040】なお、Nchトランジスタ12のドレイン電極は、2入力端子のうち一方の入力端子/INに接続され、Nchトランジスタ14のドレイン電極は、2入力端子のうちの他方の入力端子INに接続されている。

【0041】Pchトランジスタ11は、そのゲート電極がPchトランジスタ13のゲート電極に接続されるとともに、そのソース電極が電源VEEに接続され、そのドレイン電極がNchトランジスタのソース電極に接続されている。

【0042】Pchトランジスタ13は、そのソース電極が電源VEEに接続され、そのゲート電極がPchトランジスタ11のゲート電極に接続され、そのドレイン電極がNchトランジスタ14のソース電極及びPchトランジスタ15とNchトランジスタ15の各ゲート電極に接続されている。

【0043】Nchトランジスタ14は、そのソース電極がPchトランジスタ13のドレイン電極に接続され、そのゲート電極がNchトランジスタ12のゲート電極に接続され、そのドレイン電極が入力端子INに接続されている。

【0044】インバータ3は、電源VEEに接続されたPchトランジスタ15と、このPchトランジスタ15と直列に接続されたNchトランジスタ16と、を含ん

で構成されている。なお、Pchトランジスタ15及びNchトランジスタ16の各ゲート電極をインバータ3の共通入力としている。

【0045】Pchトランジスタ15のドレイン電極と、Nchトランジスタ16のドレイン電極とは、各々出力端子OUTに接続されている。

【0046】（動作説明）次に、上記のような構成のレベル変換回路1の動作について図1及び図2を参照しつつ説明する。

【0047】入力端子／INが高電位（以下、「H」レベルという）か、低電位（以下、「L」レベルという）かのいずれかの動作に固定されている。

【0048】先ず、入力端子／INがHレベル、入力端子INがLレベルとなる場合について説明する。

【0049】入力端子／INがLの時には、電流が流れないので停止しているが、入力端子／INがHになると、Nchトランジスタ12が動作し、LからHに上がった時にNchトランジスタ12のドレインに電流が流れはじめて、この電流が、Nchトランジスタ12のドレインソース間を流れることによりPchトランジスタ11に供給される。この時、Nchトランジスタ12の電流増幅率 h_{fe} により電流が急激に流れ始め、Nchトランジスタ12のゲート電極にも流れるので、それによって、X1に流れる電流が加速度的に増加されて、Nchトランジスタ12のゲート電極がLからHの状態になる。

【0050】この時、Pchトランジスタ11のドレイン電極とNchトランジスタ12のソース電極との間X1に流れる電流は増大するから、Pchトランジスタ11、13の各ゲート電極は各々Hレベルとなり、Pchトランジスタ11、13は各々オフとなり、電源VEEからの電流は遮断される。一方、Nchトランジスタ14が導通してX2がLレベルに押し下がり、X2の電位はLレベルとなる。このように、入力端子INがLの時には、Pchトランジスタ13により電流が流れないで遮断され、Nchトランジスタ14のドレイン側から電位が引っ張られてX2がLになる。

【0051】従って、出力段のインバータ3であるPchトランジスタ15のゲート電極はLレベル、Nchトランジスタ16のゲート電極はLレベルとなるため、Pchトランジスタ15はオンし、Nchトランジスタ16はオフする。これによって、出力端子OUTには、Hレベルが出力されることとなる。

【0052】一方、入力端子／INがLレベルで、入力端子INにHレベルが現れる場合には、前記と逆の動作をする。すなわち、入力端子INがLからHに変わる時に、入力端子／INもHからLに変化するので、Nchトランジスタ12は遮断されてX1側はLとなる一方、Nchトランジスタ14のドレイン側から電流が流れX2側はHとなる。この時、Pchトランジスタ13のゲ

ート電極がLとなりオフ状態となって、電源VEE側からPchトランジスタ13を介して電流が供給される。そして、X2の電位がHレベルとなり、インバータ3によりインバートされて出力端子OUTにはLレベルが出力される。

【0053】この時、電源VEEからの電位は、Pchトランジスタ15のソース電極に供給されるが、X2の電位がHレベルであるため、Pchトランジスタ15はオフ、Nchトランジスタ16がオンとなり、出力端子OUTの電位は、GNDに引き下げられLレベルとなる。

【0054】このように、本例では、直列に接続されたPchトランジスタ11とNchトランジスタ12とは、いずれか一方がオン状態のときは、他方のトランジスタはオフ状態となるので、素子内を流れる電流の流れる期間を少なくして消費電力の低減を図ることができる。

【0055】なお、Pchトランジスタ11とNchトランジスタ12のいずれか一方がオン、他方がオフとするためには、以下のような設定が予め必要となる。

【0056】ここで、入力端子／INのHレベルは、Pchトランジスタ11、Nchトランジスタ12の各閾値 V_{thp} 、 V_{thn} よりも、かなり高く設定されている。乃ち、Nchトランジスタ12がオンとなるためには、Nchトランジスタ12のゲート電極がHでなければならないから、X1の電位は、Nchトランジスタ12の閾値電圧 V_{thn} よりも高い電位である必要がある。

【0057】一方、Pchトランジスタ11がオフとなるためには、Pchトランジスタ11のゲート電極がHでなければならないから、ゲート電極に接続されているX1の電位は、Pchトランジスタ11の閾値電圧 V_{thp} よりも高い電位である必要がある。

【0058】従って、入力端子／INのHレベルは、X1の電位がPchトランジスタ11の閾値電圧 V_{thp} よりも高い電位であって、かつ、Nchトランジスタ12の閾値電圧 V_{thn} よりも高い電位である必要がある。

【0059】（波形図）なお、図2は、インバータ3を付加した10MHz時の波形図である。この本例のレベル変換回路1のPchトランジスタ11、Pchトランジスタ13の大きさ（ゲート長）は、各々例えば20 μ m等とし、Nchトランジスタ12、Nchトランジスタ14の大きさは、各々例えば40 μ m等とする。なお、レベル変換は、5Vから15Vに変換する場合であって、負荷、バッファ回路・位相合わせ回路等がない場合を示す。入力波形は、立ち上がり時間、立ち下がり時間を10nsとしている。ここで、本発明者が上記の条件下、鋭意検討した結果、例えば、最大動作周波数：19.5MHz、消費電力：0.46mW、遅れ時間立ち上がり時間：12.8ns、遅れ時間立ち下がり時

間：14.9ns、となることが判明した。この結果により、従来回路（例えばDS回路等）と比較して、立ち上がり、立ち下がり時間も短縮でき、かつ、消費電力も大幅に削減されることから、従来回路よりも高速で、低消費電力である回路を構成できる。

【0060】（特性比較）次に、上述の構成及び作用を有するレベル変換回路と、従来回路との各種特性の比較について説明する。

【0061】図3には、入力電圧に対する出力周波数の変化が示されている。最大周波数の入力電圧依存性では、例えば入力電圧4.0V振幅に対して、外部からの専用のバイアス回路を用いた場合の回路（以下、「X回路」という）、DS回路では、各々13.3MHz、15.8MHzまで落ちているが、本例回路では、20MHzを維持している。これにより、入力電圧が低電圧であっても、安定した動作を確保することができる。

【0062】図4～図6は、入力電圧に対する出力電圧の特性が開示されている。この特性は、例えば電位変動があった時に、どれくらい耐えられるかを意味している。

【0063】入力電圧に対する出力電圧の振幅依存性では、例えばDS回路では、インバータが後段についているので、図4に示すように、約1.8V近傍にスレッショールド（閾値）があり、その値を越えるまでは安定的に1.5V近辺まで維持しているが、入力電圧が低電圧では出力電圧も急激に低下し、例えば2.5V入力で1.4Vをきっている。

【0064】また、外部に専用のバイアス回路を設ける場合（X回路）では、図5に示すように、入力電圧の低下とともに出力電圧もなだらかに低下しており、例えば3.5V入力で、1.4V出力を切っている。

【0065】これに対し本例では、図6に示すように、後段のインバータの影響もあるが、入力電圧が1.5V～0.5V程度に低下したとしても、出力電圧は1.5Vで一定となり安定している。これにより、例えば3Vから高電位に変換する場合等、低電位からのレベル変換にも本回路を使用することができ、低電位に対応した回路にも応用可能であり、低消費電力を促すものにも適用できる。

【0066】次に、図7に消費電力の比較を示す。なお、入力1は一方の入力端子／INの電流、入力2は他方の入力端子INの電流を示す。同図に示すように、消費電力は、X回路やDS回路に比して、一桁以上も低消費電力であることがわかる。なお、フリップフロップ型では、従来技術にて説明したように、動作速度が遅く、高耐圧の素子には適用できない為、比較の対象外となる。さらに、フリップフロップ型では、4.5Vから5.0V範囲でしか安定動作が得られない。

【0067】ここで、外部にバイアス回路を設けている場合（X回路）では、バイアス回路からバイアスが流れ

ることになるが、バイアス用の電流が常時流れるとともに、この電流に基づき駆動する素子は、常時駆動することとなり、消費電力が高くなる。

【0068】これに対し本例のレベルシフト回路1では、自己バイアスにしたことにより、状態が変化しただけ、Pchトランジスタに電流が流れ、定常的には電流が流れない。乃ち、PchトランジスタかNchトランジスタのいずれかが必ずオフ状態となっている。しかも、同じ場所からゲート電位をオフし、スレッショールド（閾値）を越えてしまうと急激に立ち上がる構成である。

【0069】従って、トランジスタがオン状態、オフ状態になるので、電流の流れない期間分、素子の駆動は停止し、かつ、常時電流が流れる経路も少ないことから消費電力の低減を図れる。

【0070】さらに加えて、本例ではPchトランジスタの大きさを小さく（例えば、Pchトランジスタは20μm、Nchトランジスタは40μm等）設定している。

【0071】ここで、Pchトランジスタ、Nchトランジスタの大きさ（又は駆動能力）で応答性が決まり、Nchトランジスタの大きさが、Pchトランジスタの大きさより大きい場合には、上記波形の立ち下がり優位となり、逆に、Pchトランジスタの大きさがNchトランジスタの大きさより大きい場合には、上記波形の立ち上がり優位となる。

【0072】本例では、Nchトランジスタの大きさをPchトランジスタの大きさよりも大きく形成しており、Nchトランジスタが例えば40μmに対してPchトランジスタは例えば20μmにて形成されている。これによって、立ち下がり重視に形成することができる。

【0073】以上のように、5V→1.5V変換のレベル変換回路では、動作スピードが速く、消費電力が少ない回路が構成できる。

【0074】以上のように本実施の形態によれば、通常、LDD構造と称する高耐圧のトランジスタでは、トランジスタの両サイドに若干の空隙を作ることが多く、よけい移動度が低くなっていくが、このような移動度の低い素子にてレベルシフト回路を構成する場合に、ドレインから直接入力し、かつ、自己バイアスとすることによって、低消費電力でしかも応答速度の速い回路を構成できる。

【0075】〔第2の実施の形態〕次に、本発明にかかる第2の実施の形態について、図8に基づいて説明する。なお、以下には、前記第1の実施の形態の実質的に同様の構成に関しては説明を省略し、異なる部分についてのみ述べる。図8は、本例のレベル変換回路を示す回路図である。

【0076】上述の第1の実施の形態では、レベル変換

回路のPchトランジスタの自己バイアスによる構成としたが、本例のレベル変換回路では、前段に専用のバイアス回路を設けている。

【0077】本例では、Pchトランジスタのゲート電極に外部のバイアス回路（定電流回路）からのバイアスを加え、自己バイアスと外部のバイアス回路を併用することで、さらに高速化を図ったものである。

【0078】本例のレベル変換回路100では、上記第1の実施の形態同様、一方の入力端子側／INに形成されたPchトランジスタ111、Nchトランジスタ112、他方の端子IN側に形成されたPchトランジスタ113、Nchトランジスタ114、出力段のインバータ103を構成するPchトランジスタ115、Nchトランジスタ116に加え、前段に設けられた専用の第2のバイアス印加手段であるPchトランジスタ117及びNchトランジスタ118と、を含んで構成されている。

【0079】なお、Pchトランジスタ117、Nchトランジスタ118、Pchトランジスタ111、Nchトランジスタ112、Pchトランジスタ113、Nchトランジスタ114、Pchトランジスタ115、Nchトランジスタ116、の大きさは、各々例えば、5、5、20、40、20、40、10、10（単位： μm ）等に形成することが好ましい。

【0080】なお、上記第1の実施の形態と異なるのは、Pchトランジスタ111のゲート電極とPchトランジスタ117のドレイン電極とを接続する接続線121が形成される点にある。さらには、Pchトランジスタ117のゲート電極とそのドレイン電極とは接続され接続線123を形成している。

【0081】また、Nchトランジスタ118のゲート電極は、Pchトランジスタ118のソース電極に接続され接続線124を構成している。

【0082】上記のような構成のレベル変換回路100において、図8及び図9に示すように、まず、一方の入力端子／INがLレベル、他方の入力端子INがHレベルの電位となると、Nchトランジスタ112のソース電極とPchトランジスタ111のドレイン電極との間X11の電位はLレベル、Nchトランジスタ114のソース電極とPchトランジスタ113のドレイン電極との間X12の電位はHレベルとなる。

【0083】ここで、X12の電位がHレベルであることから、Pchトランジスタ115のゲート電極はHレベル、Nchトランジスタ116のゲート電極はHレベルとなるため、Pchトランジスタ115はオフ、Nchトランジスタ116はオン状態となって、出力端子OUTは、Lレベルとなる。

【0084】一方、入力端子／INがHレベル、入力端子INがLレベルになると、X11に流れる電流は増大し、X12の電位はLレベルとなるため、Pchトラン

ジスタ115はオン、Nchトランジスタ116はオフし、出力端子OUTはHレベルとなる。

【0085】ここで、本例では、Nchトランジスタ118のゲート電極がHレベルとなりオンすると、Pchトランジスタ117のドレイン電極は低電位となり、接続線123はLレベルとなって、Pchトランジスタ117はオンする。一方、接続線121も低電位であって、Pchトランジスタ111、113も各々オン状態となる。

【0086】そして、Pchトランジスタ117、111、113が導通状態となると、接続線123は高電位、接続線121は高電位となり、Pchトランジスタ117、111は共にオフするが、Pchトランジスタ113は、オン状態のままとなる。

【0087】これにより、Pchトランジスタ117、111はオフ、Pchトランジスタ113はオンであって、X11は低電位、X12は高電位となる。

【0088】以上のように本実施の形態によれば、上記第1の実施の形態と同様の作用効果を奏しながらも、自己バイアスに加え、専用のバイアス回路を付加することにより、より応答速度の高速化を図ることができる。また、Nchトランジスタの方にバイアスを加えるのに比して、動作速度を速くすることができ、安定性も向上する。

【0089】また、消費電力は、上記第1の実施の形態に比べると若干増えるものの、単にバイアス回路のみを形成して常時バイアスを加える場合に比べると、自己バイアスを形成している分、消費電力の低減を図ることができる。

【0090】さらに、本例では、Nchトランジスタ、Pchトランジスタの大きさを各々5、5 μm として、かなり小さく形成し、トランジスタを小さく形成している。

【0091】これによって、自分のバイアスで動作する回路であるので、電流が小さくても動作し、消費電力が小さくなる。

【0092】すなわち、本例では、対称に形成されたいずれか一方のトランジスタが動作していて、バランスを崩すことで動くので、定電流源バイアス回路にも大きいバイアスを形成する必要はなく、Pchトランジスタのバイアス電圧が低くても動作することができるので、トランジスタの大きさを小さく形成できる。

【0093】[第3の実施の形態] 次に、本発明にかかる第3の実施の形態について、図10に基づいて説明する。図10は、本発明に係る第3の実施の形態のレベル変換回路を示す回路図ある。

【0094】本例では、上述の第2の実施の形態とは逆に、Nchトランジスタの方にバイアスをかけている。

【0095】具体的には、本例のレベル変換回路200は、図10に示すように、上記第1の実施の形態同様、

一方の入力端子／IN側に形成されたPchトランジスタ211、Nchトランジスタ212と、他方の入力端子IN側に形成されたPchトランジスタ213、Nchトランジスタ214と、出力段のインバータを構成するPchトランジスタ215及びNchトランジスタ216と、を構成しているのに加え、専用の第2のバイアス印加手段である前段に設けられた定電流回路であるPchトランジスタ217及びNchトランジスタ218と、を含んで構成されている。

【0096】なお、これらの各トランジスタの大きさは、上記第2の実施の形態同様の大きさに形成することが好ましい。

【0097】また、本例が上述の第1の実施の形態と異なるのは、Nchトランジスタのゲート電極とNchトランジスタ218のソース電極とを接続する接続線222を形成している点にある。

【0098】さらに、Nchトランジスタ218のソース電極とそのゲート電極とを接続する接続線224を構成している。さらにまた、Pchトランジスタ217のゲート電極とNchトランジスタ218のドレイン電極とを接続する接続線223を構成している。

【0099】なお、上記第1の実施の形態同様、Pchトランジスタ211のゲート電極とそのドレイン電極とを接続する接続線221を構成している点は共通する。

【0100】上記のような構成のレベル変換回路200において、図10及び図11に示すように、先ず、一方の入力端子／INがLレベル、他方の入力端子INがHレベルである場合には、Pchトランジスタ211のドレイン電極とNchトランジスタ212のソース電極との間X21の電位はLレベル、Pchトランジスタ213のドレイン電極とNchトランジスタ214との間X22の電位はHレベルとなる。

【0101】これにより、Pchトランジスタ215のゲート電極はHレベル、Nchトランジスタ216のゲート電極はHレベルとなり、Pchトランジスタ215はオフ、Nchトランジスタ216はオン状態となり、出力端子OUTはLレベルとなる。

【0102】一方、入力端子／INがHレベル、入力端子INがLレベルになると、前記X21に流れる電流は増大し、前記X22の電位はLレベルとなる。これにより、Pchトランジスタ215のゲート電極はLレベル、Nchトランジスタのゲート電極はLレベルとなり、Pchトランジスタ215はオン、Nchトランジスタ216はオフとなって出力端子OUTは、Hレベルとなる。

【0103】ここで、本例では、接続線223が低電位の時には、Pchトランジスタ217はオン状態であり、このため、接続線222、224はHレベルとなる。

【0104】この時、Nchトランジスタ212、21

4は、オン状態となるが、入力端子／INはLレベルなので、X21はL、入力端子INはHレベルなのでX22はHレベルとなる。

【0105】そして、接続線218、222がHレベルとなると、Nchトランジスタ218は、オン状態となり接続線218、222はともにLレベルになる。

【0106】この時、Nchトランジスタ212、214は、オフ状態となるが、Pchトランジスタ211のゲート電極がLとなっており、Pchトランジスタ211がオンしてX21に流れる電流が増加する。

【0107】このように、上段のPchトランジスタ211、213のスイッチングは、Pchトランジスタ211の自己バイアスによって、下段のNchトランジスタ212、214のスイッチングは、後段のバイアス回路によって行うことができる。

【0108】以上のように本実施の形態によれば、上述の第1の実施の形態と同様の作用効果を奏しながらも、応答速度の高速化を図ることができる。

【0109】また、消費電力は、上記第1の実施の形態に比べると若干増えるものの、単にバイアス回路のみを形成して常時バイアスを加える場合に比べると、自己バイアスを形成している分、消費電力の低減を図ることができる。

【0110】〔第4の実施の形態〕次に、本発明にかかる第4の実施の形態について、図12に基づいて説明する。図12は、本発明に係る第4の実施の形態のレベル変換回路を示す回路図である。

【0111】本例のレベル変換回路300は、図12に示すように、一方の入力端子／IN側に設けられたPchトランジスタ311及びNchトランジスタ312と、入力端子IN側に設けられてPchトランジスタ313及びNchトランジスタ314と、Pchトランジスタ315及びNchトランジスタ316と、Pchトランジスタ317及びNchトランジスタ318と、を含んで構成されている。

【0112】また、Nchトランジスタ312のゲート電極は、Nchトランジスタ318のゲート電極に接続されている。さらに、Nchトランジスタ318のゲート電極とそのソース電極とを接続する接続線321を構成している。Pchトランジスタ317のゲート電極とそのドレイン電極とを接続する接続線322を構成している。

【0113】さらに、Pchトランジスタ317とNchトランジスタ318とは直列に接続されている。Pchトランジスタ311のゲート電極とそのドレイン電極とを接続する接続線323を構成している。Pchトランジスタ315のゲート電極とそのドレイン電極とを接続する接続線324を構成している。Nchトランジスタ316のゲート電極とそのソース電極とを接続する接続線325を構成している。

【0114】Pchトランジスタ311とNchトランジスタ312とは直接に接続され、Pchトランジスタ311のゲート電極とPchトランジスタ313のゲート電極とが接続されている。

【0115】Pchトランジスタ313とNchトランジスタ314とは直列に接続されており、Nchトランジスタ314のゲート電極とNchトランジスタ316のゲート電極とが接続されている。

【0116】なお、Pchトランジスタ313とNchトランジスタ314との間に出力端子OUTが形成され、Pchトランジスタ311とNchトランジスタ312との間に計測点X31が形成され、Pchトランジスタ322とNchトランジスタ318との間に計測点X33が形成され、Pchトランジスタ315とNchトランジスタ316との間に計測点X32が形成されている。

【0117】上述のような構成のレベル変換回路300において、図12及び図13に示すように、一方の入力端子／INがHレベル、他方の入力端子INがLレベルの時には、Nchトランジスタ312とPchトランジスタ311との間X31の電位は上昇し、Pchトランジスタ311及びPchトランジスタ313はオフ状態となり、出力端子OUTはLレベルとなる。

【0118】この時、Pchトランジスタ315とNchトランジスタ316の間X32の電位はHレベルであり、Pchトランジスタ315はオフ状態となっている。さらに、他方の入力端子INがLレベルであることから、Pchトランジスタ317とNchトランジスタ318との間の電位X33は、Lレベルとなっている。

【0119】次に、一方の入力端子／INがLレベル、他方の入力端子がHレベルとなると、Pchトランジスタ311とNchトランジスタ312の間X31の電位はLレベルとなるため、Pchトランジスタ311及びPchトランジスタ313は各々オン状態となり、Nchトランジスタ314とPchトランジスタ313との間の出力端子OUTの電位レベルはHレベルとなる。

【0120】この時、一方の出力端子／INは、Lレベルであることから、Nchトランジスタ316とPchトランジスタ315との間X32の電位はLレベルとなる。

【0121】さらに、Pchトランジスタ317とNchトランジスタ318との間X33の電位は、Hレベルとなり、Nchトランジスタ312をオン状態として電位を引き下げている。

【0122】このように、本実施の形態においても、上述の各実施の形態と同様の作用効果を奏することのできる回路を構成できる。

【0123】[第5の実施の形態] 次に、本発明にかかる第5の実施の形態について、図14に基づいて説明する。図14は、本発明に係る第5の実施の形態のレベル

変換回路を示す回路図ある。

【0124】本例のレベル変換回路400は、図14に示すように、一入力端子INに形成されるPchトランジスタ415及びNchトランジスタ416と、Pchトランジスタ413及びNchトランジスタ414と、Pchトランジスタ411及びNchトランジスタ412と、Pchトランジスタ417及びNchトランジスタ418と、Nchトランジスタ419と、を含んで構成されている。

【0125】入力端子INには、Nchトランジスタ416、Nchトランジスタ419、Nchトランジスタ418が接続される。Nchトランジスタ418とPchトランジスタ417とが直接に接続され、この間に計測点X43が形成されている。Nchトランジスタ416とPchトランジスタ415とが直列に接続され、この間に出力端子OUTが接続されている。

【0126】Nchトランジスタ412とPchトランジスタ411とが直列に接続され、この間に計測点X41が形成されている。Nchトランジスタ414とPchトランジスタ413とが接続され、この間に計測点X42が形成されている。

【0127】そして、これらPchトランジスタ415、417、411、413の各々のソース電極が電源VEEに接続されている。

【0128】また、Nchトランジスタ419は、そのゲート電極がNchトランジスタ414のソース電極に接続され接続線422を形成し、ドレイン電極は入力端子INに接続され接続線426を形成し、ソース電極はNchトランジスタ418のソース電極に接続され、接続線423を形成している。さらに、Nchトランジスタ418のゲート電極とNchトランジスタ412のゲート電極とが接続され、これらとNchトランジスタ419のソース電極との間に接続線427を形成している。また、Nchトランジスタ414のゲート電極とトランジスタ416のゲート電極とが接続され、これらとNchトランジスタのゲート電極とが接続され接続線425を形成している。

【0129】また、Pchトランジスタ411のゲート電極とPchトランジスタ415のゲート電極とが接続され、これらのゲート電極とPchトランジスタ411のドレイン電極とを接続する接続線420が形成されている。

【0130】さらに、Pchトランジスタ417のゲート電極とそのドレイン電極とは接続線424にて接続されている。Pchトランジスタ413のゲート電極とそのドレイン電極とは接続線421を介して接続されている。

【0131】上記のような構成のレベル変換回路400において、図14及び図15に示すように、入力端子INがLレベルである場合には、Nchトランジスタ41

8とPchトランジスタ417の間X43の電位はLレベルとなり、接続線423、427もLレベルとなる。

【0132】また、Nchトランジスタ412とPchトランジスタ411との間X41の電位は、Hレベルとなり、Pchトランジスタ411及びPchトランジスタ415はオフ状態である。

【0133】さらに、Nchトランジスタ414とPchトランジスタ413との間の電位X42は一定電位であるが、入力端子INがLからHに切り替わる瞬間Hレベルとなり、HからLに切り替わる瞬間Lレベルとなる。従って、出力端子OUTは、Lレベルとなる。

【0134】一方、入力端子INがHレベルになると、Nchトランジスタ418とPchトランジスタ417の間X43の電位はHレベルとなり、接続線423、427もHレベルとなる。

【0135】また、Nchトランジスタ412とPchトランジスタ411との間X41の電位は、Lレベルとなり、Pchトランジスタ411及びPchトランジスタ415はオン状態である。これによって、出力端子OUTは、Hレベルの電位を出力することとなる。

【0136】以上のように本実施の形態によれば、一入力端子のレベル変換回路にも自己バイアスによる構成を適用できる。

【0137】[第6の実施の形態] 次に、本発明にかかる第6の実施の形態について、図16に基づいて説明する。図16は、本発明に係る第6の実施の形態のレベル変換回路を示す回路図である。

【0138】本例のレベル変換回路500は、図16に示すように、上記第1の実施の形態と同様の構成の回路の出力段にバッファを設けた例を示している。

【0139】具体的には、本例のレベル変換回路500は、図16に示すように、上記第1の実施の形態同様の構成の回路501と、この回路501の後段に配設されたバッファ回路503と、を含んで構成されている。

【0140】回路501は、上記第1の実施の形態の構成同様、Pchトランジスタ511、513と、Nchトランジスタ512、514と、この各々のドレインに入力端子/IN、IN、接続先521、522を構成している。

【0141】バッファ回路503は、複数のインバータINV1、INV3、INV5、INV7、INV9、INV11が直列に形成されるとともに、一方の出力端子/OUT及び負荷としてのコンデンサC1を構成している。さらに、インバータINV1の入力には、複数のインバータINV4、INV6、INV8、INV10、INV12が直列に形成されるとともに、他方の出力端子OUT及び負荷としてのコンデンサC2を構成している。なお、インバータINV5の入力はインバータINV6の出力に、インバータINV5の出力はインバータINV6の入力に各々接続されている。

【0142】このバッファ回路503によって、駆動能力を大きくしてドライブすることを可能として、多段にすることでデータの出力を行うことができる。また、Nchトランジスタの大きさ少し大きくし、位相を合わせるための樗掛けの構成を有している。

【0143】具体的には、この各インバータINV1～INV12の各々は、相補型のPchトランジスタ及びNchトランジスタの対により構成されている。なお、インバータINV1のPchトランジスタの大きさは、例えば10[μm]等、Nchトランジスタの大きさは、例えば10[μm]等にて形成し、インバータINV2のPchトランジスタの大きさは、例えば10[μm]等、Nchトランジスタの大きさは、例えば10[μm]等にて形成し、インバータINV3のPchトランジスタの大きさは、例えば20[μm]等、Nchトランジスタの大きさは、例えば10[μm]等にて形成し、インバータINV4のPchトランジスタの大きさは、例えば20[μm]等、Nchトランジスタの大きさは、例えば20[μm]等にて形成し、インバータINV5のPchトランジスタの大きさは、例えば20[μm]等、Nchトランジスタの大きさは、例えば10[μm]等にて形成し、インバータINV6のPchトランジスタの大きさは、例えば20[μm]等、Nchトランジスタの大きさは、例えば10[μm]等にて形成し、インバータINV7のPchトランジスタの大きさは、例えば60[μm]等、Nchトランジスタの大きさは、例えば20[μm]等にて形成し、インバータINV8のPchトランジスタの大きさは、例えば60[μm]等、Nchトランジスタの大きさは、例えば20[μm]等にて形成し、インバータINV9のPchトランジスタの大きさは、例えば150[μm]等、Nchトランジスタの大きさは、例えば60[μm]等にて形成し、インバータINV10のPchトランジスタの大きさは、例えば150[μm]等、Nchトランジスタの大きさは、例えば60[μm]等にて形成し、インバータINV11のPchトランジスタの大きさは、例えば400[μm]等、Nchトランジスタの大きさは、例えば200[μm]等にて形成し、インバータINV12のPchトランジスタの大きさは、例えば400[μm]等、Nchトランジスタの大きさは、例えば200[μm]等にて形成することが好ましい。

【0144】(負荷、バッファ回路、位相合わせ回路付きのレベルシフタ回路) 次に、出力負荷C1、C2を付けた場合について検討する。また、本例回路のインバータINV4のNchトランジスタが20 μm としている。なお、出力負荷C1、C2は、例えば2pFとしている。

【0145】この消費電力を図17(A)、図17(B)に示す。なお、図17(B)は、3V→1.7V変

換での無負荷時の特性を示す。入力波形は、立ち上がり、立ち下がり(0→100%)とも5nsecを使用している。

【0146】消費電力では、X回路が入力200 μ Aを超えている。これにより、バッファ回路等を付加した構成においても、無負荷時においても、低消費電力を図ることができる。

【0147】次に、現状Vthに対して ± 0.75 V変化させた場合を、図18(A)～図18(D)に示す。

【0148】同図に示すように、本例回路の場合は、スレッショールド(閾値)がかなり変化しても、消費電力も遅延量も変化せずに、安定して動作することができる。

【0149】なお、本例回路は、動作周波数は ± 1 MHz以内の変動、遅延時間は、 ± 9.0 nsec以内の変動である。

【0150】以上の結果から本例のレベルシフト回路では、高性能な回路を構成できる。ただし、比較的低電位の例えば3Vから例えば17V等に変換する場合のレベル変換回路では、トランジスタの移動度を変えることが好ましい。例えば移動度を約1.5倍にすると、最大動作周波数20MHz、遅延時間35.2nsとなる。

【0151】図19では、1.5倍の移動度で、Vthが ± 0.75 V変動した場合の動作周波数、消費電力、デューティ歪み、遅延を示す。

【0152】同図に示すように、動作周波数20MHz以上、デューティ歪み5.0%以内、遅延50ns以内となっている。移動度を1.5倍であるNchトランジスタでは、120[cm²/V·s]、Pchトランジスタでは、84[cm²/V·s]以上に高めることが好ましい。

【0153】以上のように本実施の形態によれば、上述の各実施の形態と同様の作用効果を奏しながらも、バッファ回路を構成することで、駆動を行い、データ出力を良好に行うことができるレベル変換回路を提供できる。

【0154】[第7の実施の形態] 次に、本発明にかかる第7の実施の形態について、図20に基づいて説明する。図20は、本発明に係る第7の実施の形態のレベル変換回路を示す回路図である。

【0155】本例のレベル変換回路600は、図20に示すように、上記第2の実施の形態と同様の構成の回路の出力段にバッファを設けた例を示している。

【0156】具体的には、本例のレベル変換回路600は、図20に示すように、上記第2の実施の形態同様の構成の回路601と、この回路601の後段に配設されたバッファ回路603と、を含んで構成される。

【0157】この回路601は、上述の第2の実施の形態同様、Pchトランジスタ611、613、615と、Nchトランジスタ612、614、616などを有した2入力端子/IN、IN、及び接続線623、6

22、621を有する回路である。

【0158】また、バッファ回路603は、上記第6の実施の形態同様、複数のインバータINV1～INV12、及び負荷としてのコンデンサC1、C2を構成し、2つの出力端子/OUT、OUTを構成している。

【0159】このようなレベル変換回路によれば、自己バイアス手段に加えて外部バイアス回路を有するような構成であっても、バッファ回路により駆動することのできる回路を提供できる。

【0160】[第8の実施の形態] 次に、本発明にかかる第8の実施の形態について、図21に基づいて説明する。図21は、本発明に係る第6の実施の形態のレベル変換回路を示す回路図である。

【0161】本例のレベル変換回路700は、図21に示すように、上記第3の実施の形態と同様の構成の回路の出力段に、バッファを設けた例を示している。

【0162】具体的には、本例のレベル変換回路700は、図21に示すように、上記第3の実施の形態同様の回路701と、この回路701の後段に配設されたバッファ回路703と、を含んで構成される。

【0163】この回路701は、上述の第3の実施の形態同様、Pchトランジスタ711、713、715と、Nchトランジスタ712、714、716などを有した2入力端子/IN、IN、接続線721、722、723、724を有する回路である。

【0164】また、バッファ回路703は、上記第6の実施の形態同様、複数のインバータINV1～INV12、及び負荷としてのコンデンサC1、C2を構成し、2つの出力端子/OUT、OUTを構成している。

【0165】このようなレベル変換回路によれば、自己バイアス手段に加えてNchトランジスタ側を外部バイアス回路を有するような構成であっても、バッファ回路により駆動することのできる回路を提供できる。

【0166】[第9の実施の形態] 次に、本発明にかかる第9の実施の形態について、図22及び図23に基づいて説明する。図22は、上述のレベル変換回路を内蔵した液晶表示装置の概略構成を示す機能ブロック図である。

【0167】本例では、上述の第1～第8の各実施の形態のいずれかのレベル変換回路を内蔵した液晶パネル一体型の液晶表示装置800を開示している。

【0168】本例の液晶表示装置800は、液晶表示制御部801と、液晶モジュール部810とから構成されている。

【0169】液晶表示制御部801は、図示しないマイクロプロセッサユニット(MPU)を有しており、この液晶モジュールコントローラ802は、液晶表示モジュール部810側に対し各種の制御信号及びクロック信号を供給する。

【0170】液晶モジュールコントローラ802は、信

号ドライバ830と走査ドライバ820を制御する。信号ドライバ830は、液晶モジュールコントローラ802からの制御信号及び信号データにより出力電位を決定する。走査ドライバ820は、液晶モジュールコントローラ802からの制御信号及び走査データにより出力電位を決定する。

【0171】液晶表示モジュール部810は、例えば単純マトリックス型の液晶表示パネル811と、この液晶表示パネル811の周辺領域に形成された信号ドライバ（信号電極駆動回路、Xドライバ）820及び走査ドライバ（走査電極駆動回路（Yドライバ）830と、高圧の液晶駆動電圧（基準電圧）を発生する液晶電源回路840とを有している。

【0172】これらの信号ドライバ820及び走査ドライバ830内に上述のレベル変換回路が内蔵されることとなる。本例では、例えばTFTにて液晶表示パネルを製造する際に、周囲の各ドライバ320、330をも同一プロセスにて製造することとなる。

【0173】このようなレベル変換回路にて、外部から各ドライバ320、330へ3V、5V等で、データ信号、タイミング信号を入力する時に、各種信号を15V、17V等の高電圧に変換する。

【0174】信号ドライバ830は、例えば信号電極の総本数M本に対し、画面1ライン分ずつドライバ出力を供給する。即ち、信号データD0～D7（DX）は、画素クロック（シフトクロックパルス）XSCLによって次々に信号ドライバ830内のシフトレジスタに取り込まれ、画面1ライン分の信号（Mビット）が取り込まれた時点で、走査線同期信号YSEL（データラッチ信号LP）によってシフトレジスタ内の信号データが並列的にデータラッチ回路へ送られ、信号データの直・並列変換が行われる。

【0175】そのデータラッチ回路では、1ライン分の信号電圧を1走査期間に亘って保持し、その信号電圧に基づいて選択スイッチ回路が信号電極に接続されたドライバ出力電圧を選択又は非選択状態のいずれかに設定する。液晶交流化信号FRは、直流駆動による液晶素子の劣化を防止するために上記各電圧を交流波形にするクロックである。

【0176】強制表示オフ制御信号であるディスプレイオフ信号/DFは、液晶画面を強制的にブランク表示状態とするための信号であり、液晶モジュールコントローラ802から信号ドライバ830、走査ドライバ820に転送される。

【0177】シフトクロックパルスXSCLは、液晶モジュールコントローラ802より信号ドライバ830に転送される。データラッチ信号LPは、液晶モジュールコントローラ802から信号ドライバ830、走査ドライバ820に転送される。このデータラッチ信号LPは、走査ドライバ820では走査データ転送クロックと

なる。

【0178】走査データYDは、液晶モジュールコントローラ802から信号ドライバ830、走査ドライバ820に転送される。信号データDX（D0～D7）は、液晶モジュールコントローラ802から信号ドライバ830に転送される。

【0179】走査ドライバ820は、例えば走査電極総数N本のうち1本だけに選択電圧を、他の（N-1）本の走査電極に非選択電圧を付与するように動作する。走査スタートパルス（フレームスタート信号）SPによって1走査線期間が開始され、走査線同期信号YSEL

（データラッチ信号LP）の到来する毎に選択電圧が第1行目の走査電極から第N行目の走査電極に次々印加される（線順位表示）。

【0180】また、液晶表示モジュール部810側に配置された液晶電源回路840は、信号ドライバ830及び走査ドライバ820の選択スイッチが選択すべき複数の液晶駆動電圧を生成するもので、ディスプレイオフ信号/DFによってパワーオンオフ状態に設定される。

【0181】（信号側ドライバ）図23（A）に信号ドライバ830を示す。信号ドライバ830は、ラインメモリ833にデータをラッチするための信号を発生し、信号データDX（D0～D7）を記憶するハーフラッチを含むシフトレジスタ832、複数ラインの信号データをラッチするためのラインメモリ833、ラインメモリ833の各部を1組とし、信号データDX（D0～D7）をラッチするラインメモリ833をラッチしたデータを読み出すラインメモリ833の組を指定するセレクタ834、各選択期間を識別する識別回路835、ラインメモリ833にラッチされた信号データDX（D0～D7）と液晶交流化信号FRと選択期間識別データにより出力電位を選択するための信号を作成するデコーダ836、デコードされた信号をドライバ駆動用電圧レベルに変換するレベル変換回路であるレベルシフタ837、レベルシフトされたデコード信号により出力電位を選択するドライバ回路838で構成されている。

【0182】デコーダ836は、予め走査ドライバ820が出力する選択波形の極性を示すデータが記憶しており、選択期間識別データと複数ライン分の信号データDX（D0～D7）と液晶交流化信号FRを入力する組み合わせ回路により形成される。

【0183】（走査ドライバ）図23（B）に走査ドライバ820を示す。走査ドライバ820は、走査データYDを転送するシフトレジスタ822を含み、該シフトレジスタ822は、LP信号の複数周期分のディレイをもち、n+1番目のLP信号によりn番目を選択する。走査ドライバ820は、さらに、各選択期間を識別する識別回路823、走査データと選択期間識別データと液晶交流化信号FRより出力電位を選択するための信号を作成するデコーダ824、デコードされた信号をドライ

バ駆動用電圧レベルに変換するレベル変換回路であるレベルシフタ825、レベルシフトされたデコード信号により出力電位を選択するドライバ回路826を含む。

【0184】デコーダ824は、予め走査ドライバ820が出力する選択波形の極性を示すデータを記憶しており、選択期間識別データと走査データと液晶交流化信号FRとを入力する組み合わせ回路により構成される。

【0185】なお、液晶表示装置800には、この他、表示情報出力源、表示情報処理回路、クロック発生回路などを含んで構成される。表示情報出力源では、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路は、クロック発生回路からのクロックに基づいて表示情報を処理して出力し、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。

【0186】上述の液晶表示装置を用いて構成される電子機器としては、投写型表示装置である液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ(PC)及びエンジニアリング・ワークステーション(EWS)、ページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0187】例えば液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタを形成することが好ましく、その構成としては、例えば3板プリズム方式の光学系を含み、白色光源のランプユニットから射出された投写光をライトガイドの内部で複数のミラーおよびダイクロイックミラーにてR、G、Bの3原色に分光し、それぞれの色の画像を表示する3枚の液晶パネルに導き、各々変調された各分光は、ダイクロイックプリズムにて各色の画像が合成され、投写レンズを通してスクリーンなどにカラー画像が投写される。

【0188】なお、本発明にかかる装置と方法は、そのいくつかの特定の実施の形態に従って説明してきたが、当業者は本発明の主旨および範囲から逸脱することなく本発明の本文に記述した実施の形態に対して種々の変形が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置にも適用可能である。

【0189】また、液晶表示装置のX、Yの各ドライバにおいて、異なる複数の電圧レベルを要求される際や、異なる電圧の電源が複数ある場合などは、レベル変換回路を異なる電源に応じて形成してもよい。

【0190】さらにまた、移動度が低い素子であれば、

レベル変換回路を液晶駆動回路以外の他の回路にも応用することもできる。

【0191】また、自己バイアスを形成するものとしては、上述の例に限るものではなく、形成する箇所も、レベル変換回路内の素子であればいずれの素子に形成してもよい。また、バイアスを必要とする素子であって、自己バイアス形成可能な素子が複数ある場合には、その各々について形成してもよいし、共有する構成であってもよい。

【0192】さらに、上述の各実施の形態同士及びそれと各変形例との組み合わせによる例も含むことは言うまでもない。

【0193】

【発明の効果】以上説明したように本発明によれば、高耐圧の素子では移動度が低いが、このような移動度の低い素子にてレベルシフト回路を構成する場合に、ドレイン端子から直接入力し、かつ、自己バイアス印加手段により自己バイアスすることによって、低消費電力でしかも応答速度の速い回路を構成できる。

【図面の簡単な説明】

【図1】本発明のレベル変換回路の実施の形態の一例を示す回路図である。

【図2】図1のレベル変換回路の各点の電圧波形を示す波形図である。

【図3】図1のレベル変換回路及び従来回路の入力電圧—出力周波数特性を示す特性図である。

【図4】従来回路の入力電圧—出力電圧特性を示す特性図である。

【図5】従来回路の入力電圧—出力電圧特性を示す特性図である。

【図6】図1のレベル変換回路の入力電圧—出力電圧特性を示す特性図である。

【図7】図1のレベル変換回路と他の回路との消費電力の比較を示す説明図である。

【図8】本発明のレベル変換回路の他の実施の形態の一例を示す回路図である。

【図9】図8のレベル変換回路の各点の電圧波形を示す波形図である。

【図10】本発明のレベル変換回路の他の実施の形態の一例を示す回路図である。

【図11】図10のレベル変換回路の各点の電圧波形を示す波形図である。

【図12】本発明のレベル変換回路の他の実施の形態の一例を示す回路図である。

【図13】図12のレベル変換回路の各点の電圧波形を示す波形図である。

【図14】本発明のレベル変換回路の他の実施の形態の一例を示す回路図である。

【図15】図14のレベル変換回路の各点の電圧波形を示す波形図である。

【図16】本発明のレベル変換回路の他の実施の形態の一例を示す回路図である。

【図17】同図(A)(B)は、図16のレベル変換回路と他の回路との消費電力の比較を説明する説明図である。

【図18】同図(A)～(D)は、図16のレベル変換回路と他の回路とのしきい値の変動に対する各種値の変化を示す説明図である。

【図19】図16のレベル変換回路のトランジスタの移動度を変更した場合の変動幅を示す説明図である。

【図20】本発明のレベル変換回路の他の実施の形態の一例を示す回路図である。

【図21】本発明のレベル変換回路の他の実施の形態の一例を示す回路図である。

【図22】本発明のレベル変換回路を含む液晶表示装置を示す機能ブロック図である。

【図23】同図(A)(B)は、本発明のレベル変換回路を含むXドライバ、Yドライバを示す機能ブロック図である。

【図24】従来のレベル変換回路を示す回路図である。

【図25】従来のレベル変換回路を示す回路図である。

【図26】図25のレベル変換回路の動作波形を示す波形図である。

【符号の説明】

1 レベル変換回路

3 インバータ

11、13 Pchトランジスタ

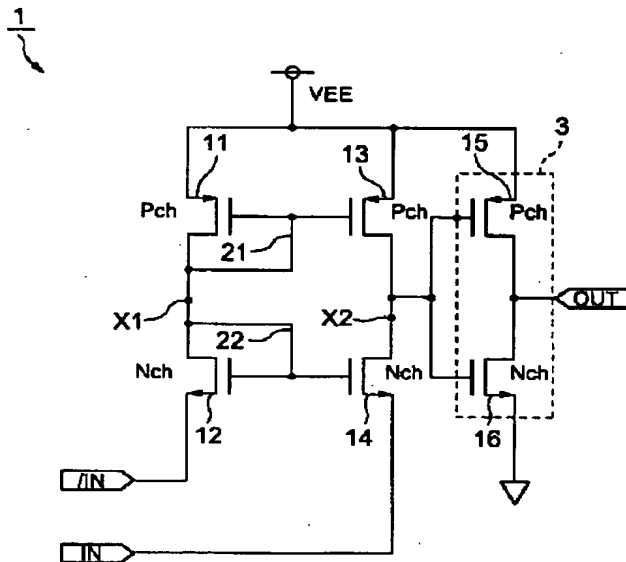
12、14 Nchトランジスタ

800 液晶表示装置

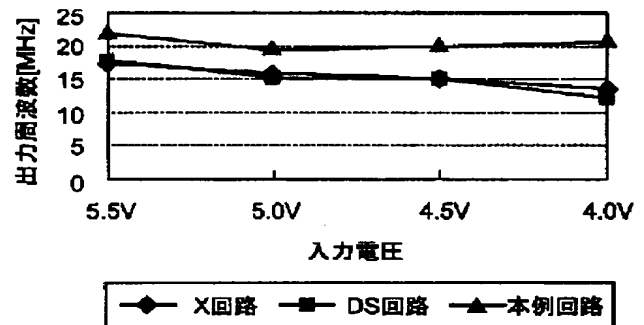
/IN、IN 入力端子

OUT 出力端子

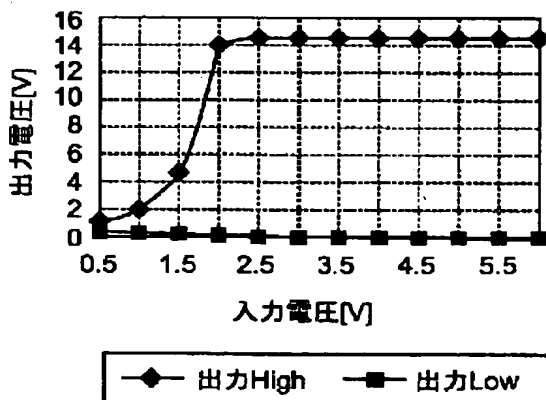
【図1】



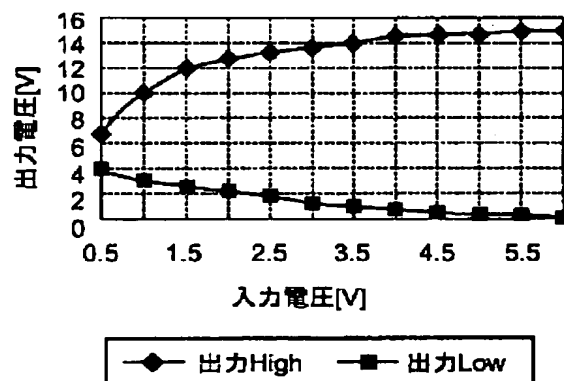
【図3】



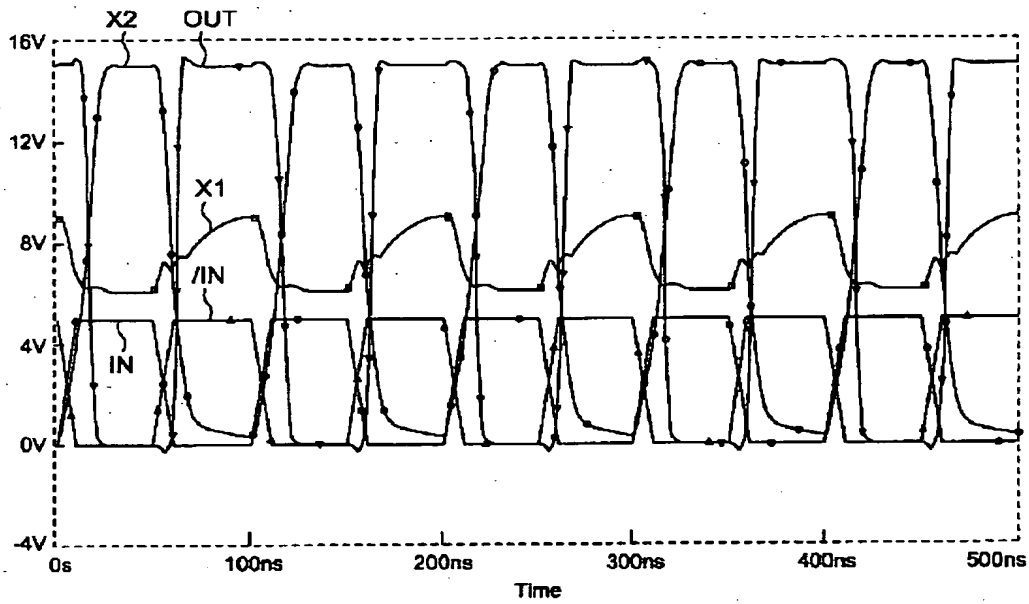
【図4】



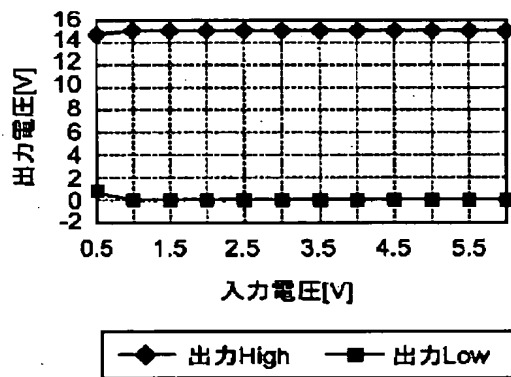
【図5】



【図2】



【図6】



【図7】

消費電力比較

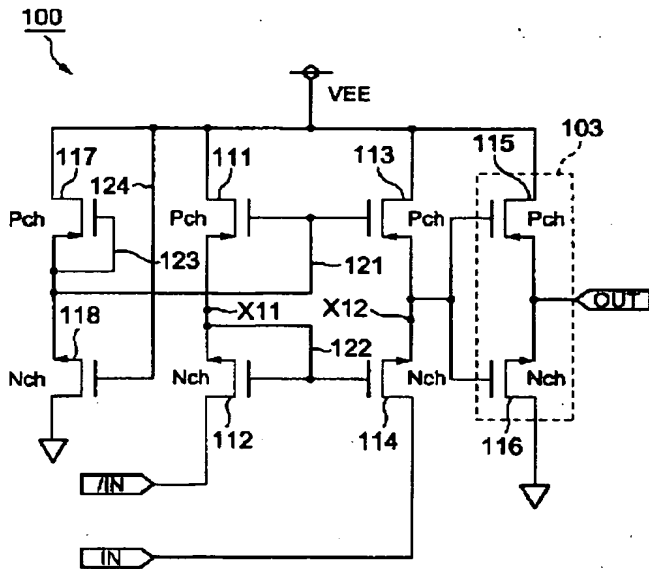
	電源電流[μ A]	入力1[μ A]	入力2[μ A]	消費電力[μ W]
フリップフロップ型回路	7.22	0	0	108.3
X回路	274	110.3	47.6	4899.5
DS回路	178.6	0	0	2679.0
本例回路	22.74	15.82	7.09	455.7

【図19】

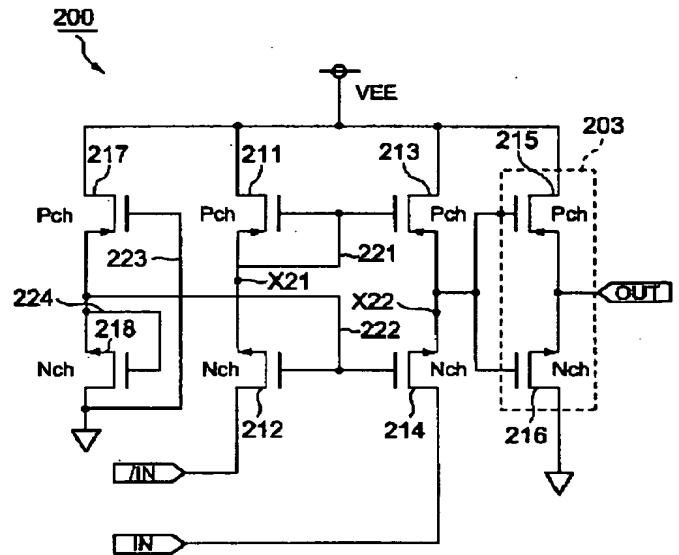
移動度1.5倍の場合の変動幅

Pch Vth 変動[V]	Nch Vth 変動[V]	動作周波数 [MHz]	消費電力 [μ W]	Duty歪み20MHz [%]	遅延 [nsec]
0	0	20.0	2251.3	2.4	35.2
+0.75	+0.75	20.4	2251.3	4.4	35.3
-0.75	-0.75	20.2	2251.3	1.6	35.9
+0.75	-0.75	20.8	2251.3	1.6	32.3
-0.75	+0.75	20.8	2251.3	4.4	39.7

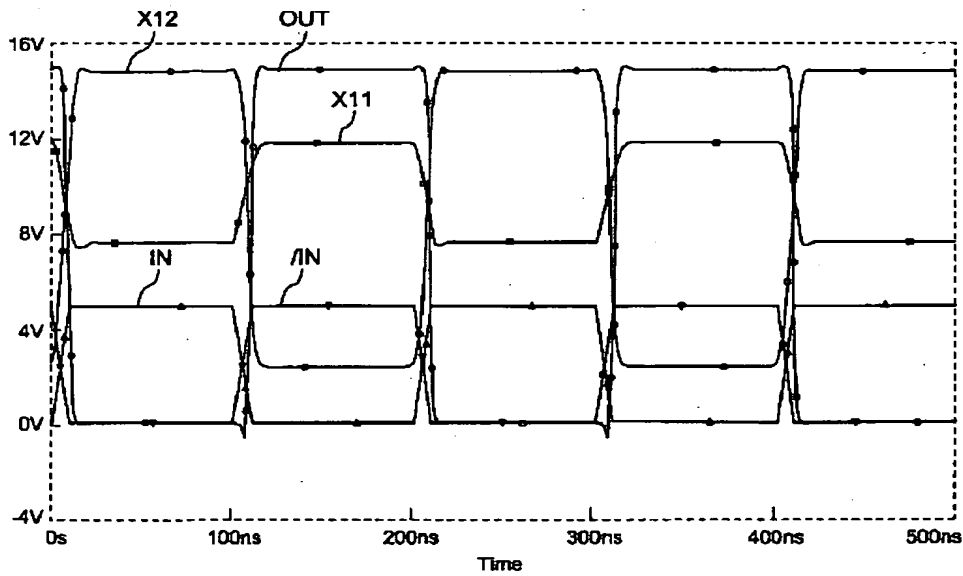
【図8】



【図10】



【図9】



【図17】

(A)

消費電力

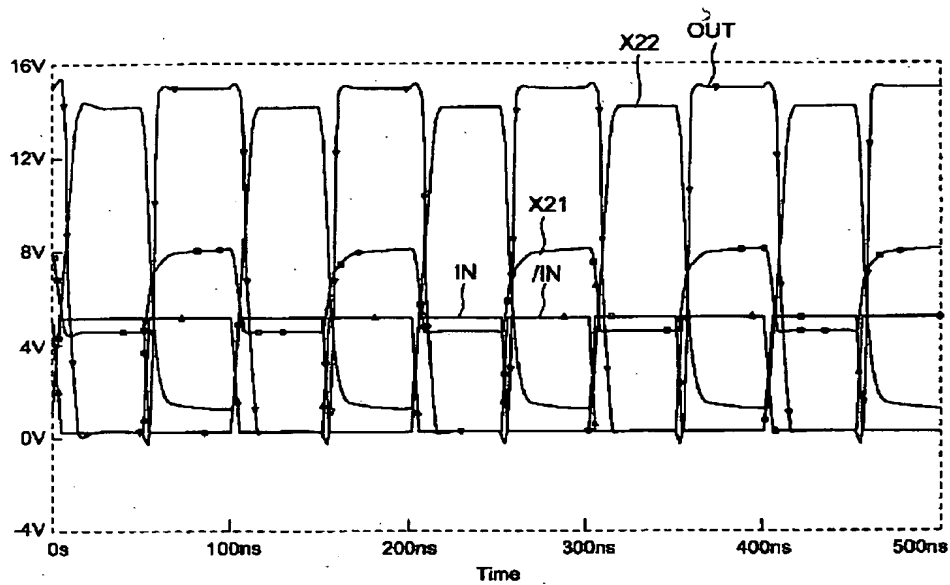
	電源電流[μA]	入力1[μA]	入力2[μA]	電力[μW]
X回路	529.7	238.1	147.3	10161.1
本例回路	112.8	72.2	40.6	2256.0

(B)

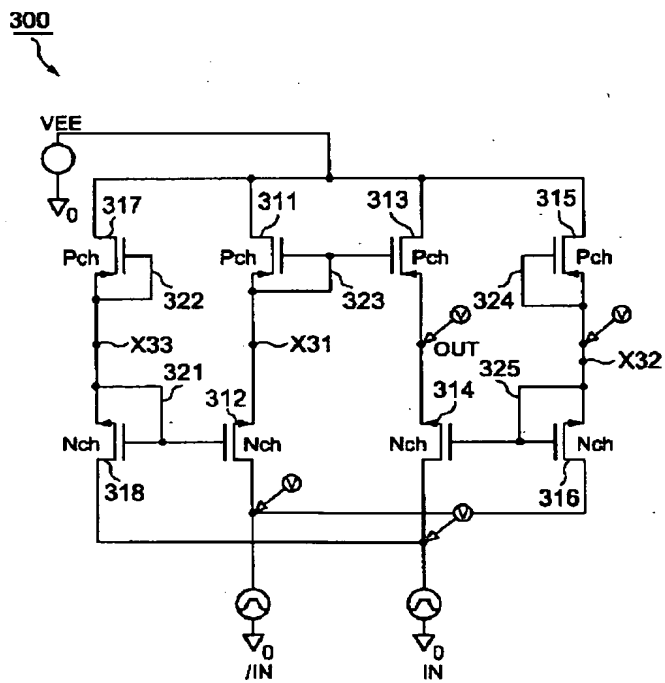
消費電力

	電源電流[μA]	入力1[μA]	入力2[μA]	電力[μW]
X回路	874.4	200.4	192.1	16042
DS回路	953.5	0	0	16209
本例回路	112.7	72.2	40.6	2254

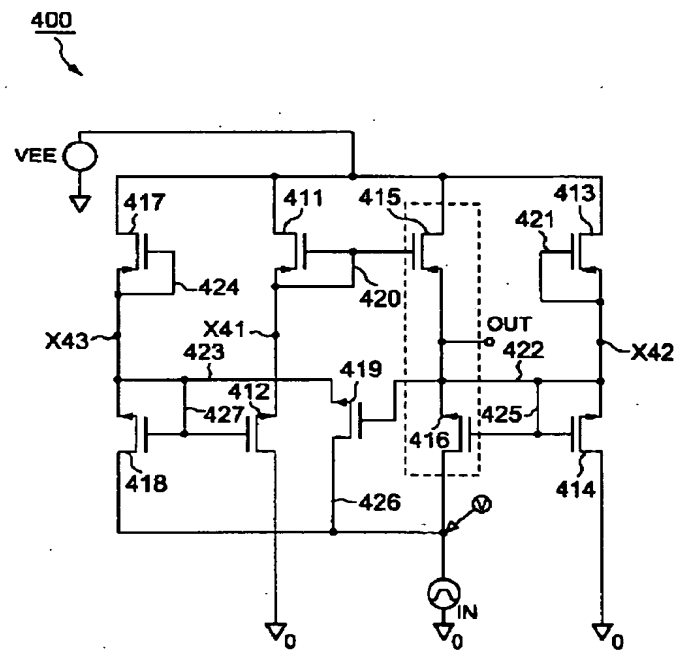
【図11】



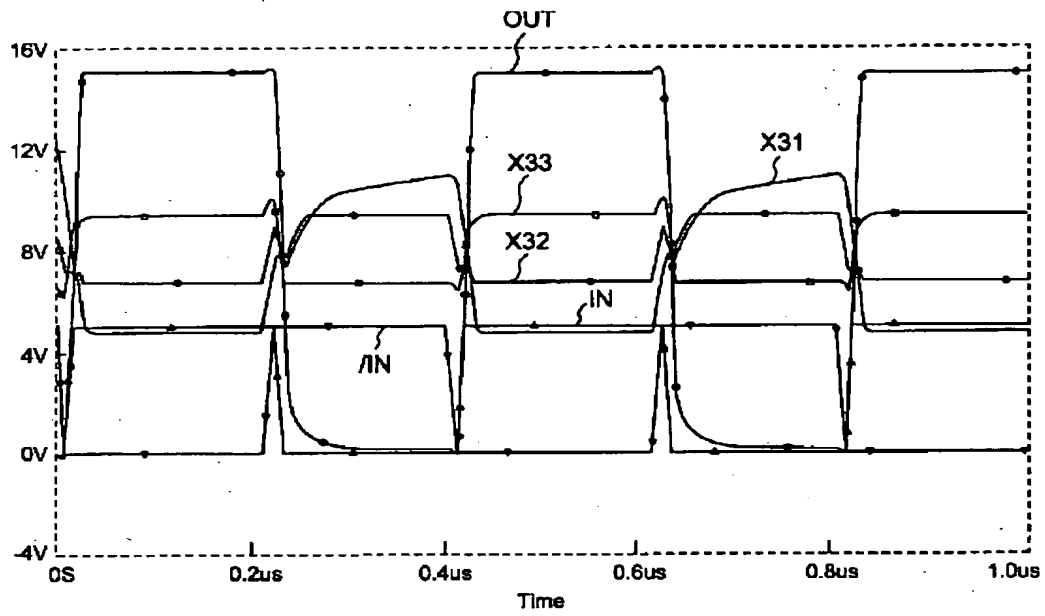
【図12】



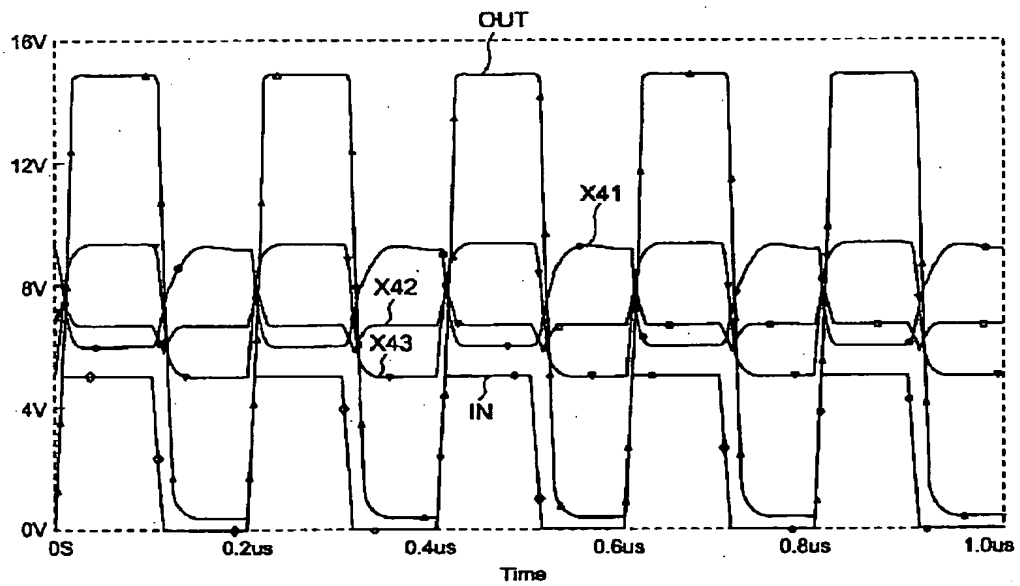
【図14】



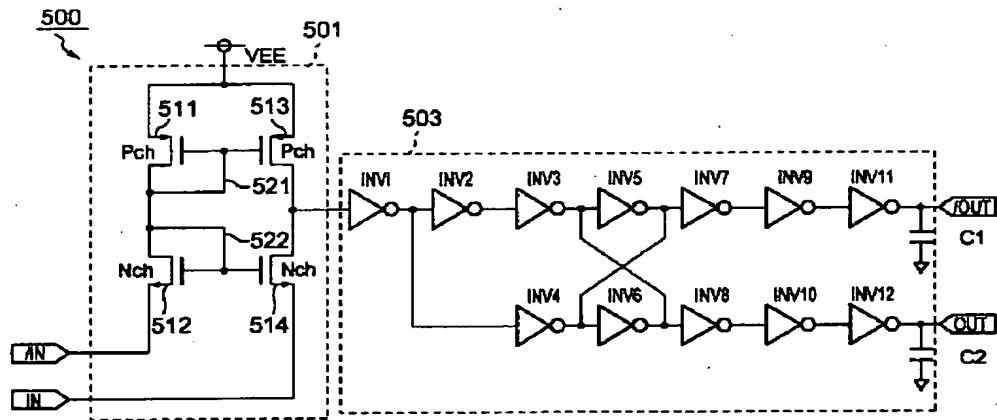
【図13】



【図15】



【図16】



【図18】

(A) V_{th} Pch +0.75V Nch +0.75V

	動作周波数[MHz]	消費電力[μ W]	Duty歪み[%]	遅延[nsec]
X回路	15.4	10248.7	5.0(10MHz)	49.6
本例回路	15.2	2266.0	0.8(10MHz)	51.0

(B) V_{th} Pch -0.75V Nch -0.75V

	動作周波数[MHz]	消費電力[μ W]	Duty歪み[%]	遅延[nsec]
X回路	15.0	9789.5	3.6(10MHz)	51.1
本例回路	15.5	2251.3	0.8(10MHz)	51.8

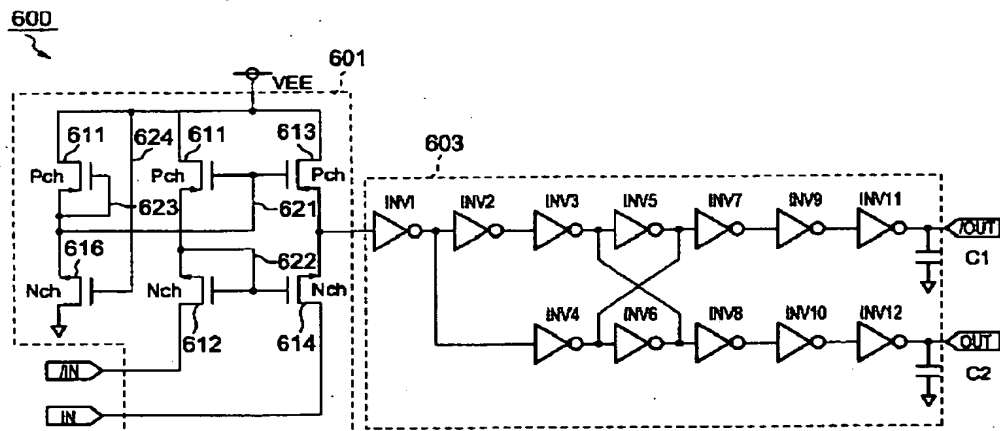
(C) V_{th} Pch -0.75V Nch -0.75V

	動作周波数[MHz]	消費電力[μ W]	Duty歪み[%]	遅延[nsec]
X回路	14.8	8757.1	3.6(10MHz)	52.5
本例回路	14.9	2251.3	6.4(10MHz)	58.3

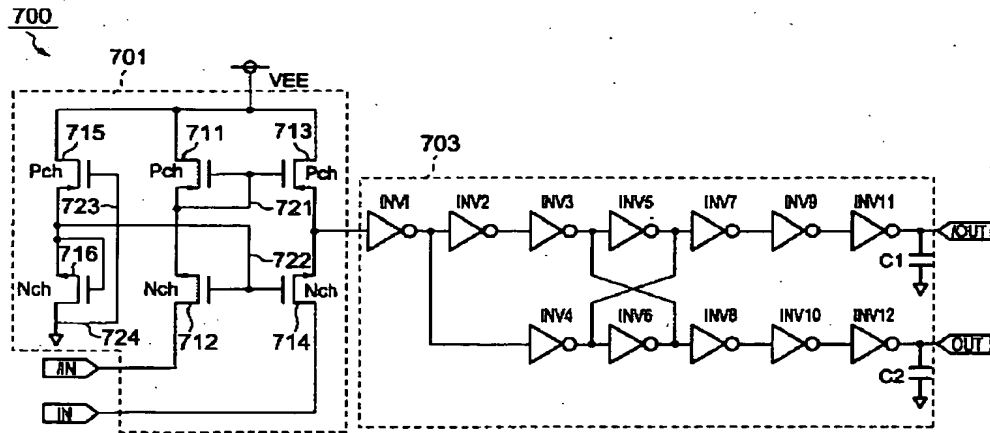
(D) V_{th} Pch -0.75V Nch -0.75V

	動作周波数[MHz]	消費電力[μ W]	Duty歪み[%]	遅延[nsec]
X回路	14.7	11707.0	6.4(10MHz)	48.2
本例回路	15.3	2251.3	4.8(10MHz)	48.0

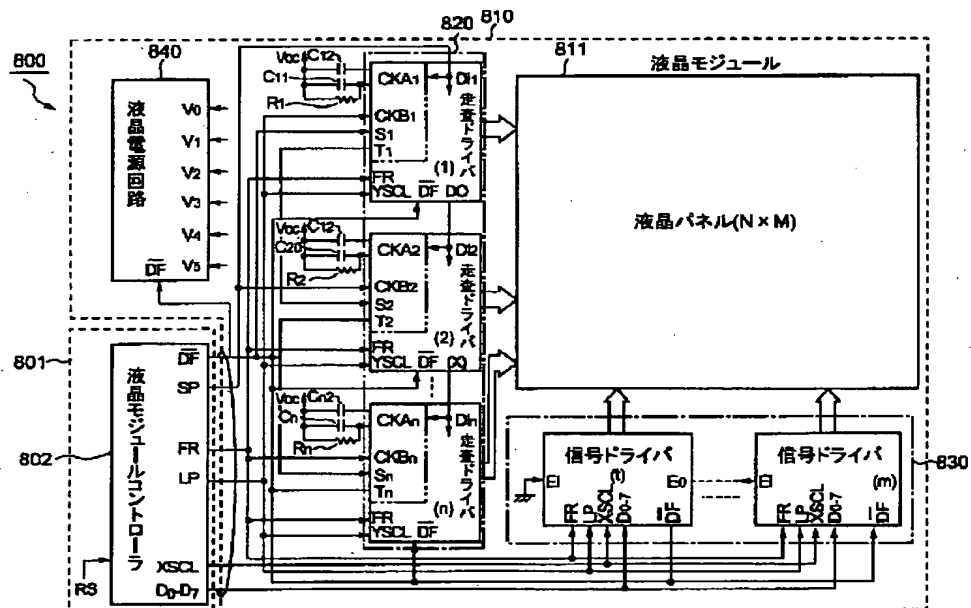
【図20】



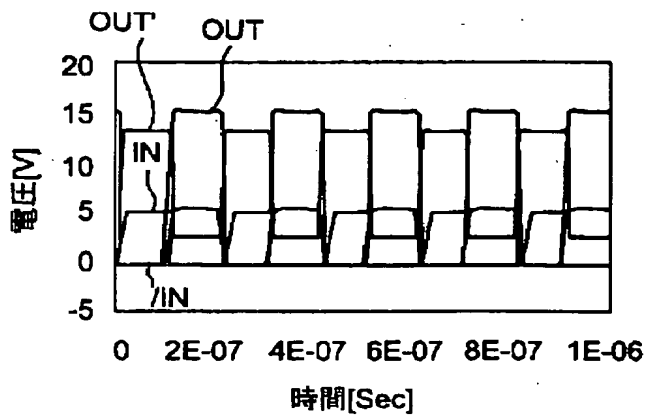
【図21】



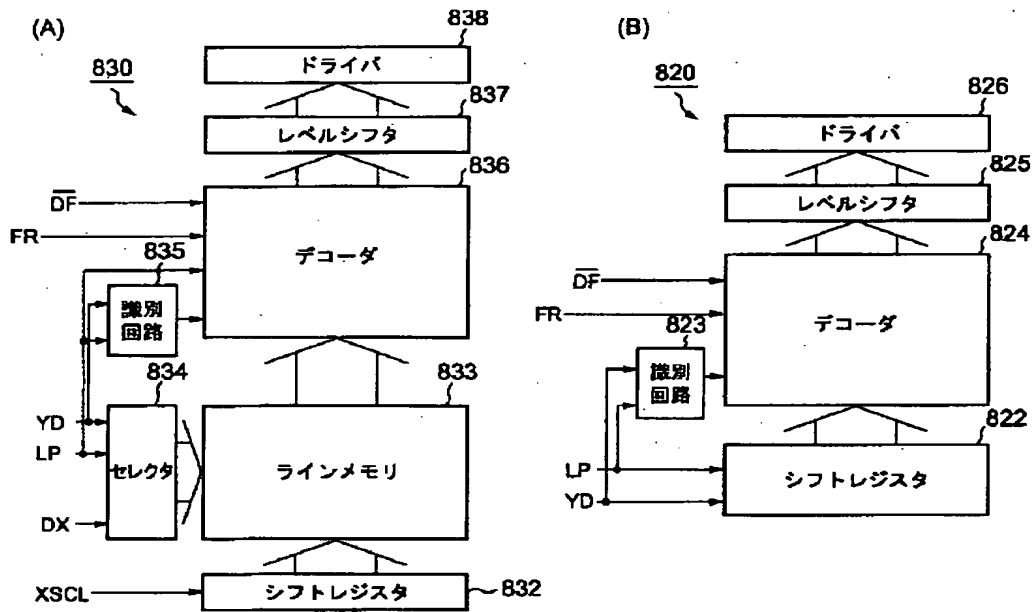
【図22】



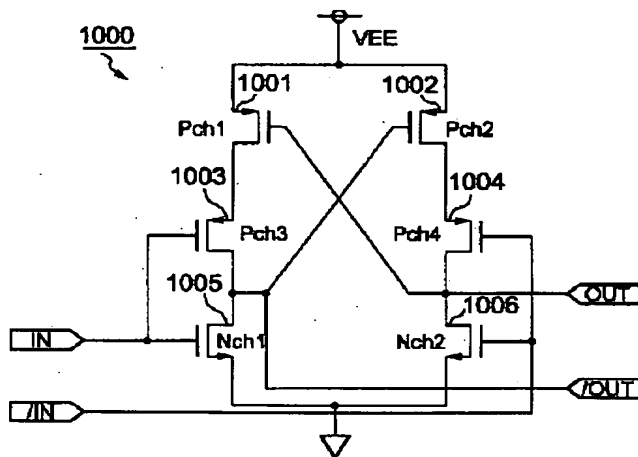
【図26】



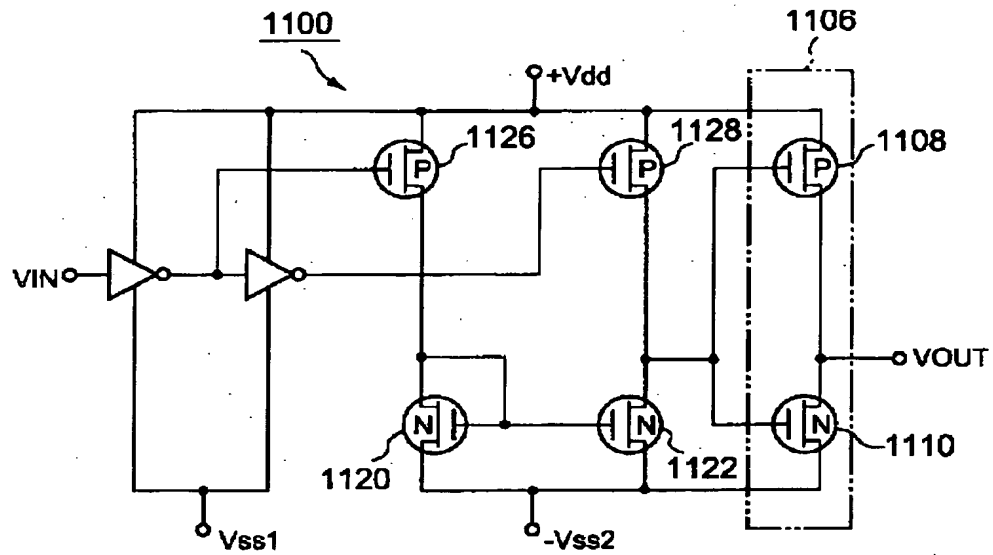
【図23】



【図24】



【図25】



フロントページの続き

(51)Int. Cl. 7

G 0 9 G 3/20

識別記号

6 8 0

F I

G 0 9 G 3/20

ターマコード (参考)

6 8 0 C